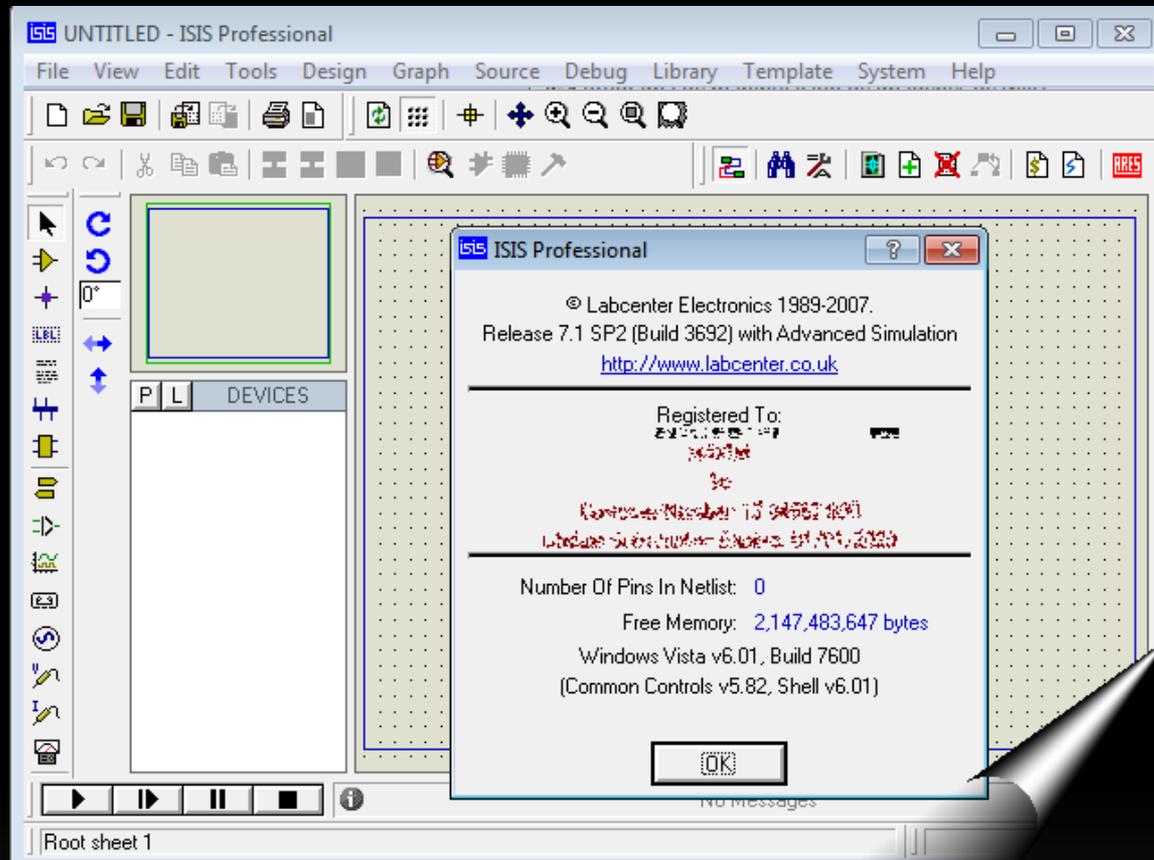


Como usar um Simulador de Circuitos Digitais Seqüenciais

Prof. Fernando Passold

Eng. Elétrica



Como usar um Simulador de Circuitos Digitais Seqüenciais

Prof. Fernando Passold

Eng. Elétrica

Diagrama elétrico:

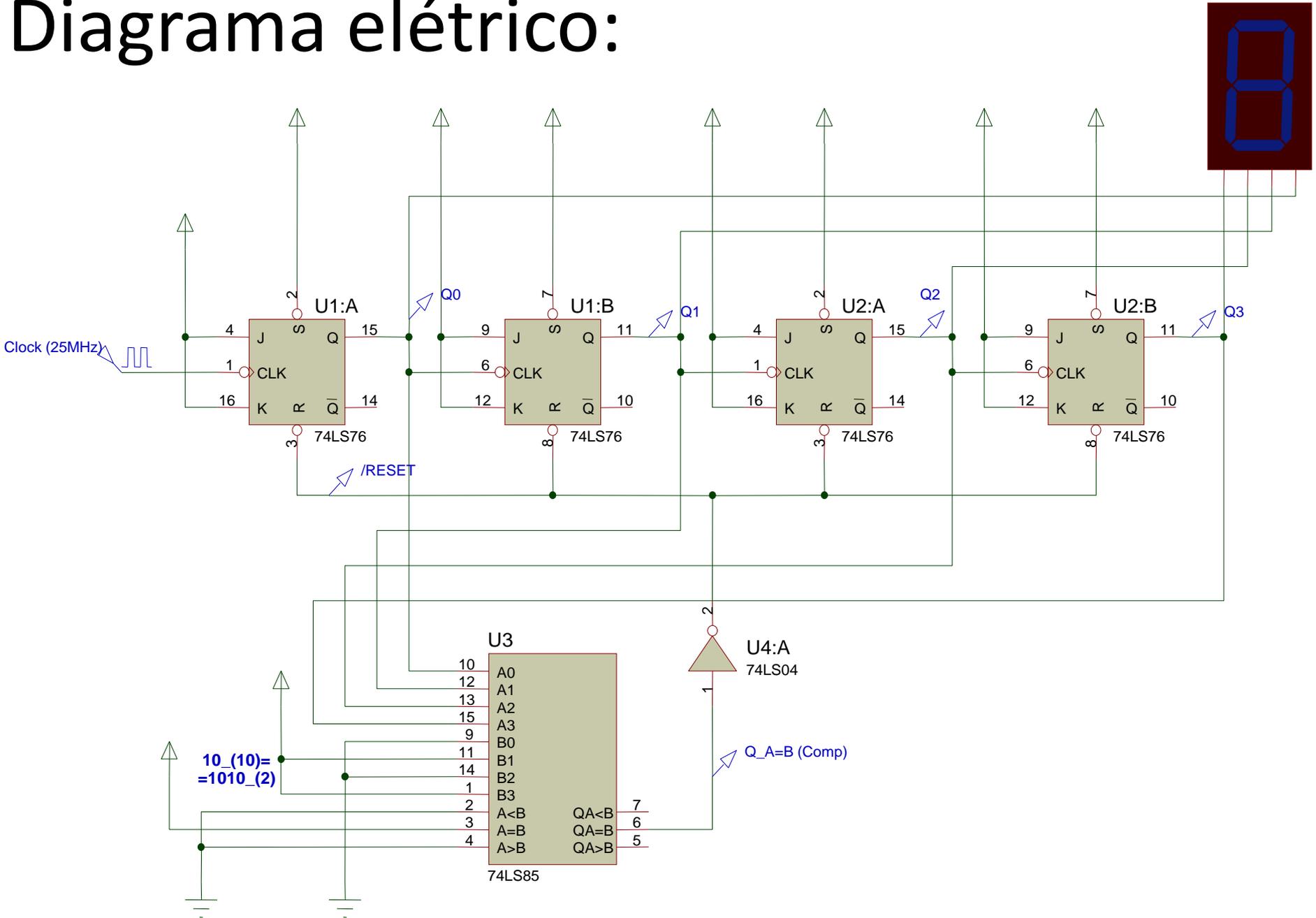


Diagrama Elétrico:

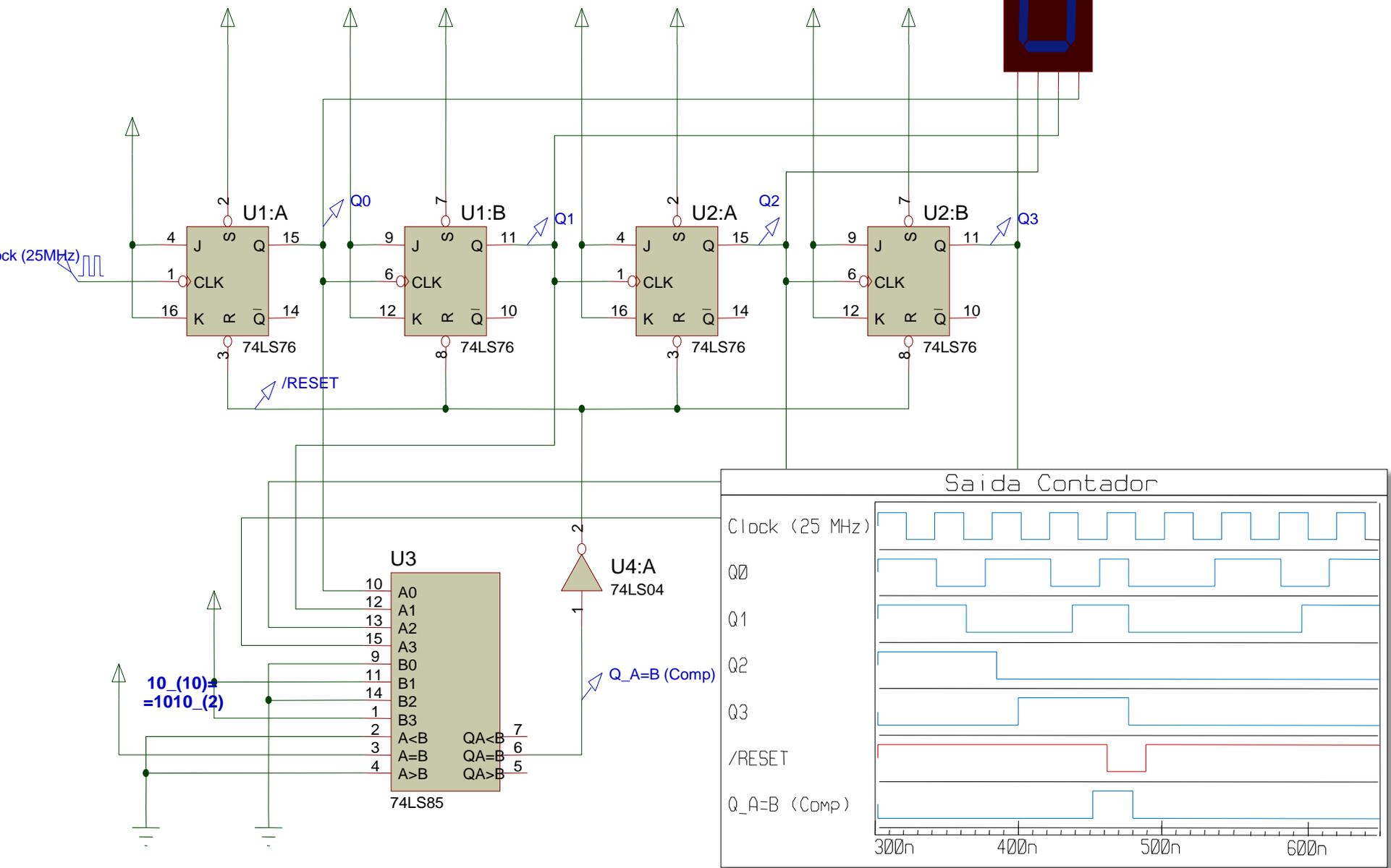
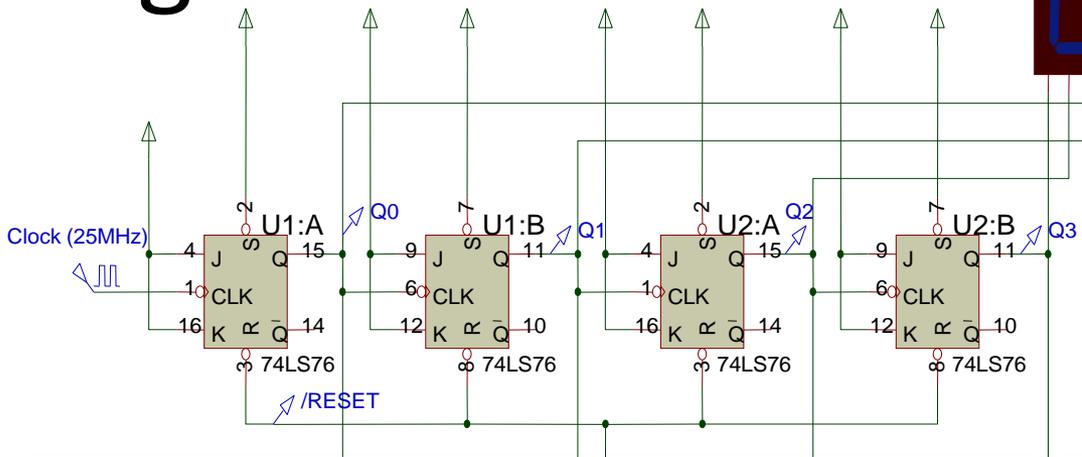
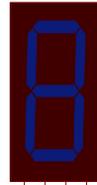


Diagrama Elétrico:



1. Note: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 5 ns!
2. A idéia é então simular o circuito numa freqüência tão pequena quanto os atrasos de propagação de cada FF adotado.
3. Desta forma, os efeitos de atrasos de propagação e eventuais glitches podem ser percebidos!

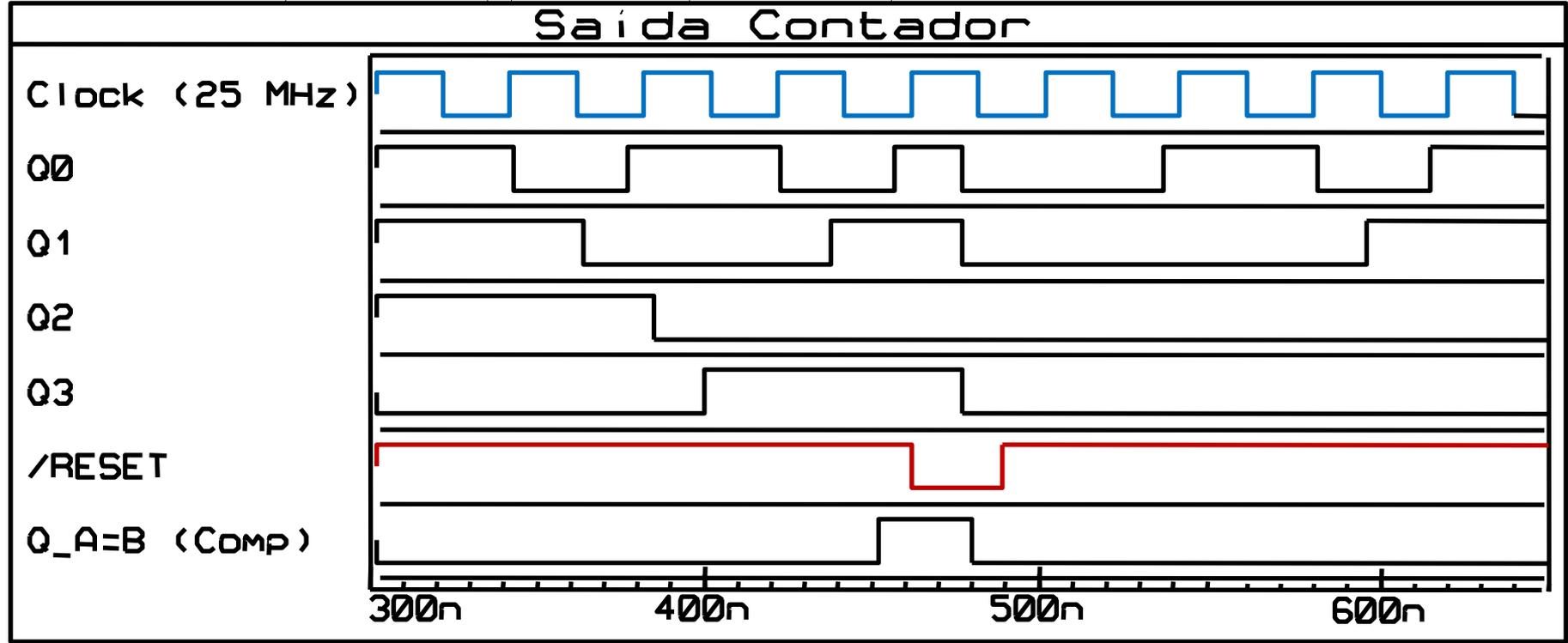
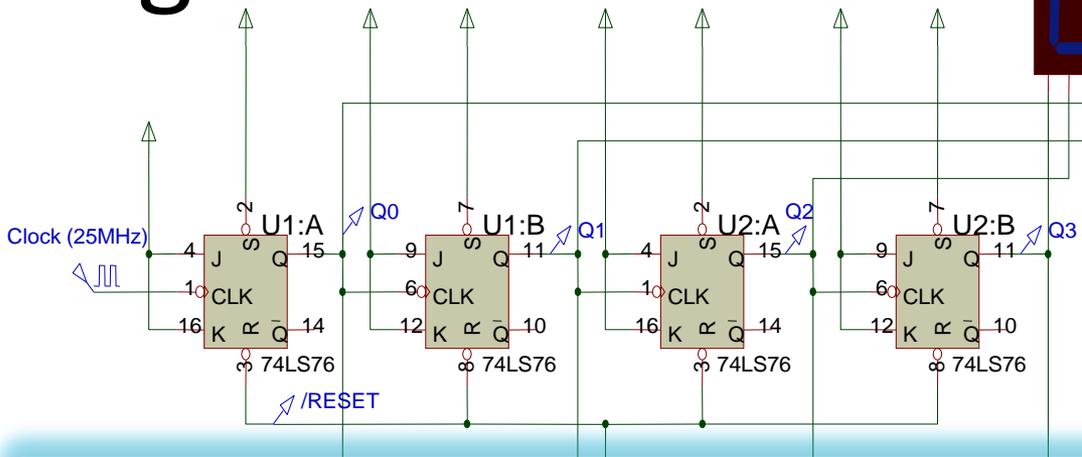
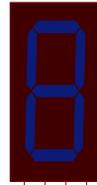


Diagrama Elétrico:



1. Note: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 5 ns!
2. A idéia é então simular o circuito numa freqüência tão pequena quanto os atrasos de propagação de cada FF adotado.
3. Desta forma, os efeitos de atrasos de propagação e eventuais glitches podem ser percebidos!

Saída Contador

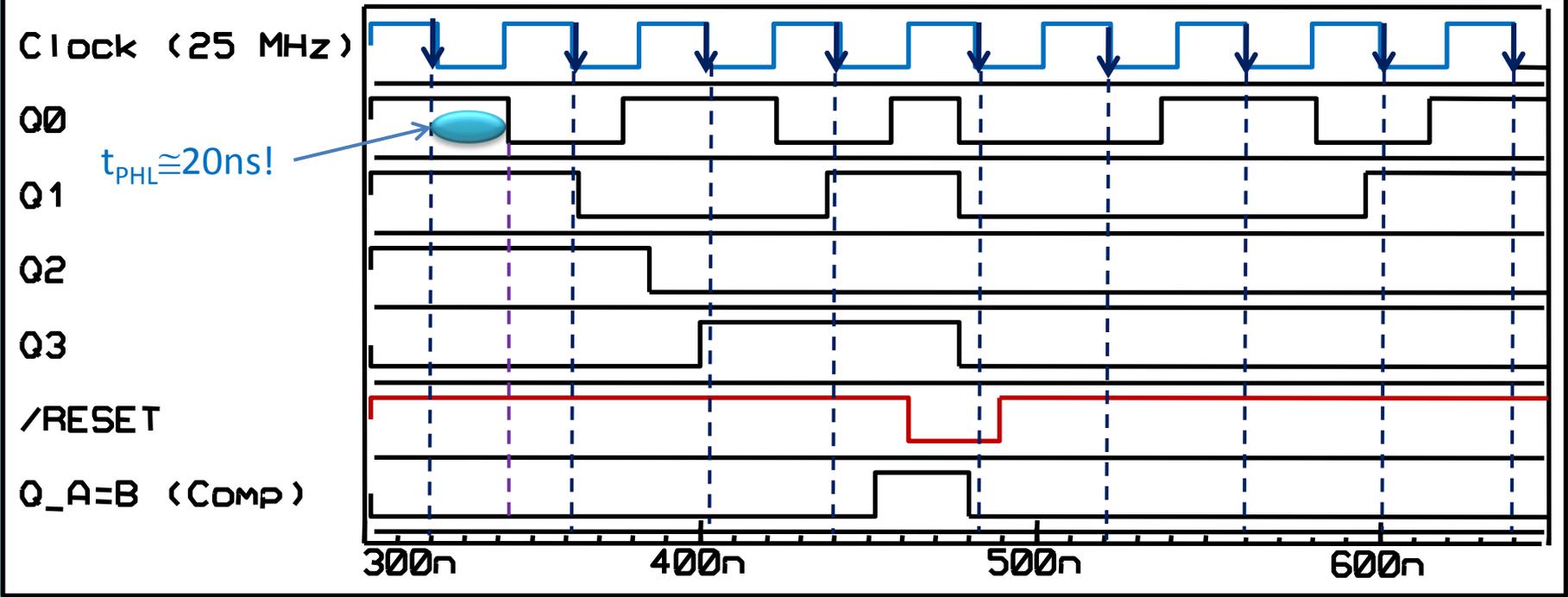
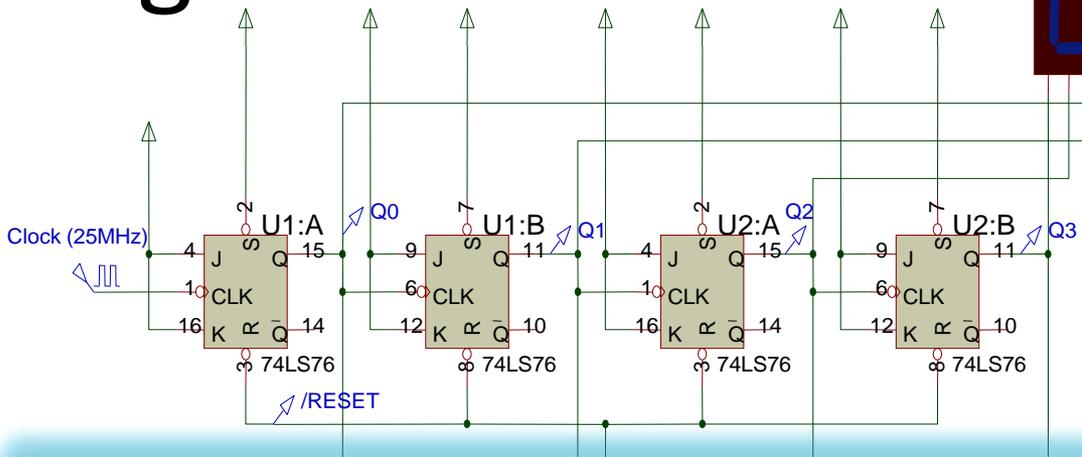
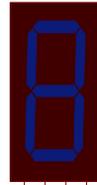
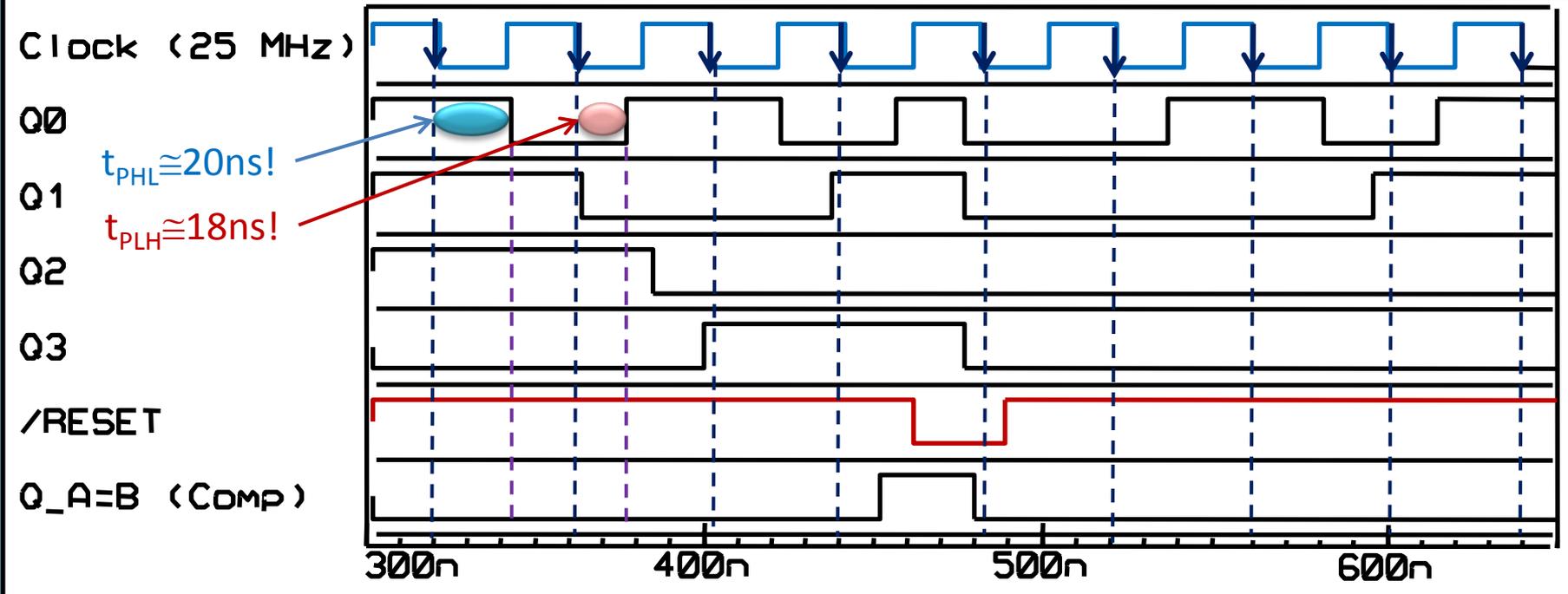


Diagrama Elétrico:



1. Note: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 5 ns!
2. A idéia é então simular o circuito numa freqüência tão pequena quanto $\geq 2 \times 20$ ns (atraso de propagação de cada FF adotado).
3. Isto reflete, usar um clock na faixa de 40ns ou seja, $f_{\text{Clock}}=25\text{MHz}$ (ver figura)!

Saída Contador



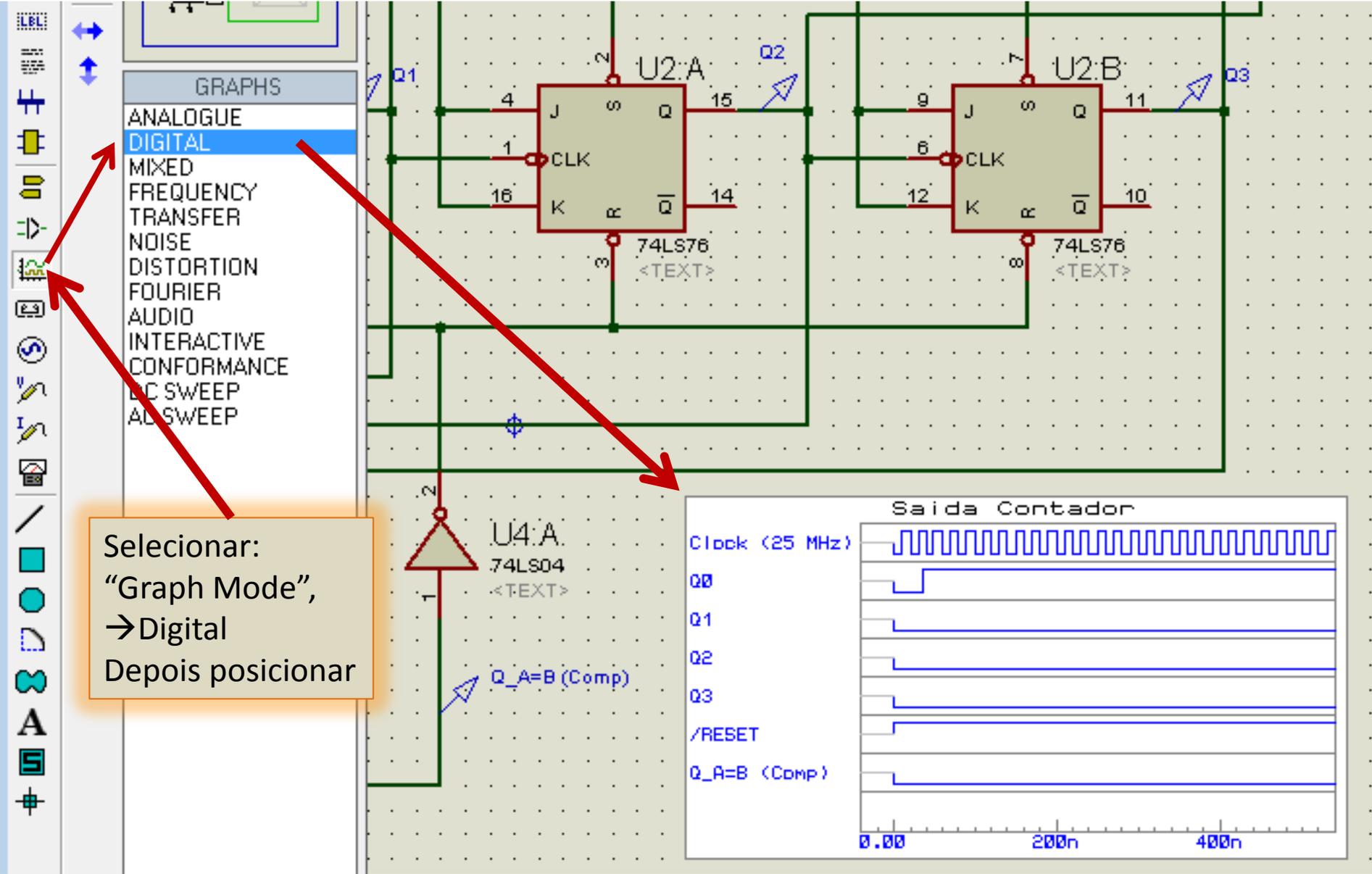
Modificando Freq. Clock:

The image shows a logic simulator interface with a circuit diagram. A red arrow points from a context menu to the 'Digital Clock Generator Properties' dialog box. The context menu includes options like 'Edit Properties' (Ctrl+E) and 'Delete Object'. The dialog box is titled 'Digital Clock Generator Properties' and contains the following settings:

- Generator Name: Clock (12.5MHz)
- Clock Type: Low-High-Low Clock, High-Low-High Clock
- Analogue Types: DC, Sine, Pulse, Pwlin, File, Audio, Exponent, SFFM
- Digital Types: Steady State, Single Edge, Single Pulse, Clock, Pattern
- Timing: First Edge At: 0, Frequency (Hz): 12.5, Period (Secs):
- Options: Current Source?, Isolate Before?, Manual Edits?, Hide Properties?

Buttons for 'OK' and 'Cancel' are visible at the bottom of the dialog box.

Acrescentando Analisador Lógico:



Acrescentando Analisador Lógico:

Selecione:
"Graph Mode",
→ Digital
Depois posicionar

Período final da simulação

Propriedades

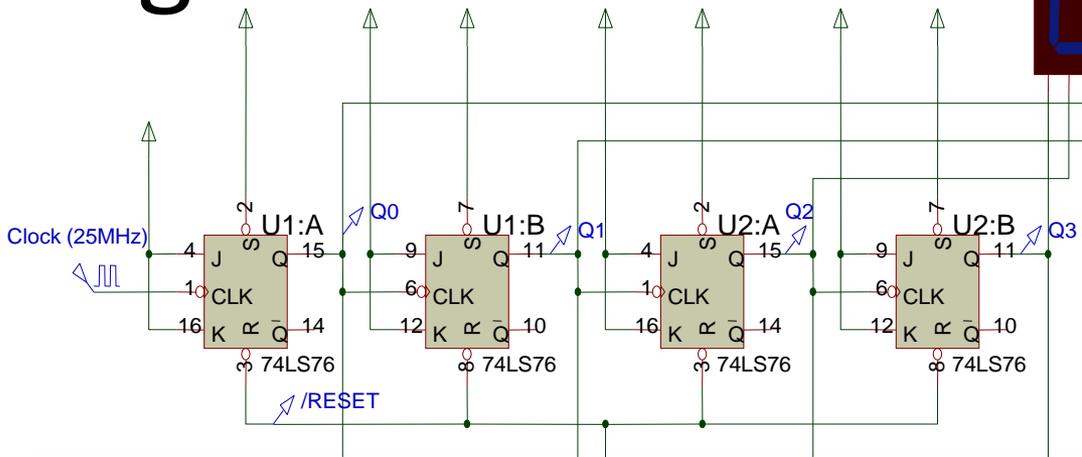
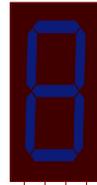
Graph title: Saida Contador
Start time: 0
Stop time: 1.12u
Left Axis Label:
Right Axis Label:

Options
Initial DC solution:
Always simulate:
Log netlist(s):
SPICE Options
Set Y-Scales

OK Cancel

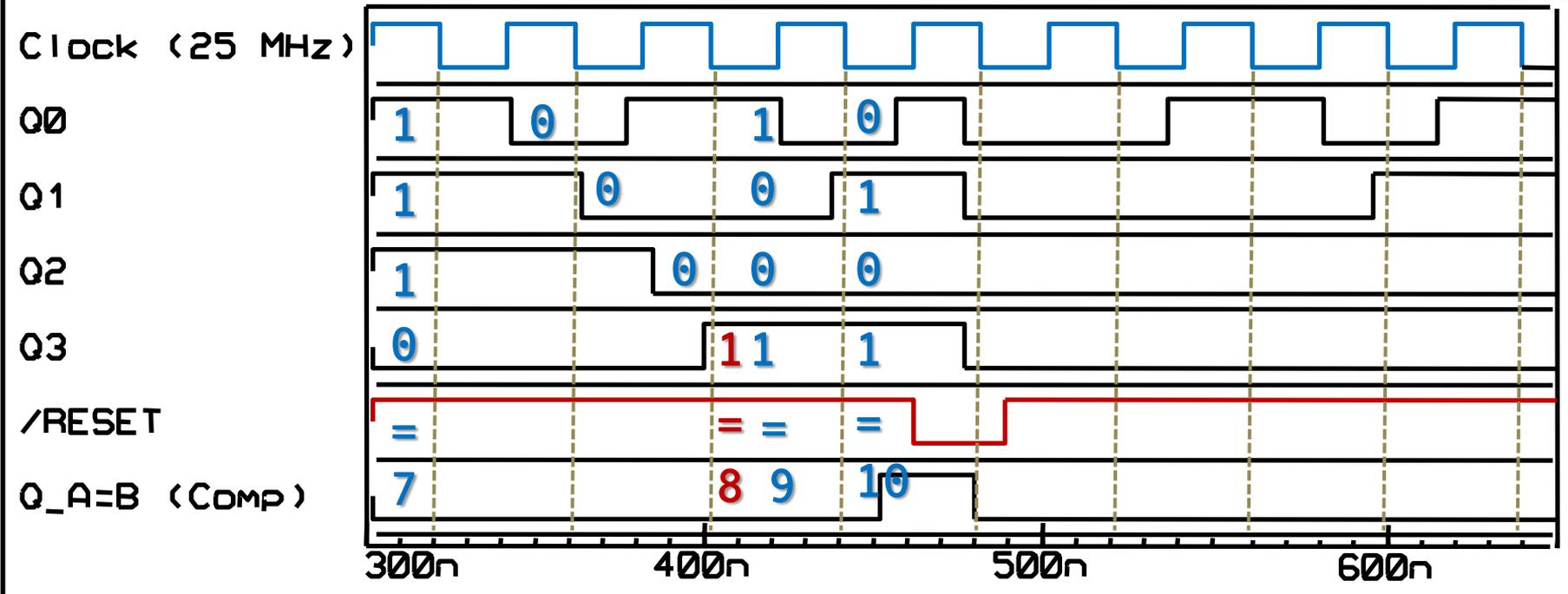
0.00 200n 400n

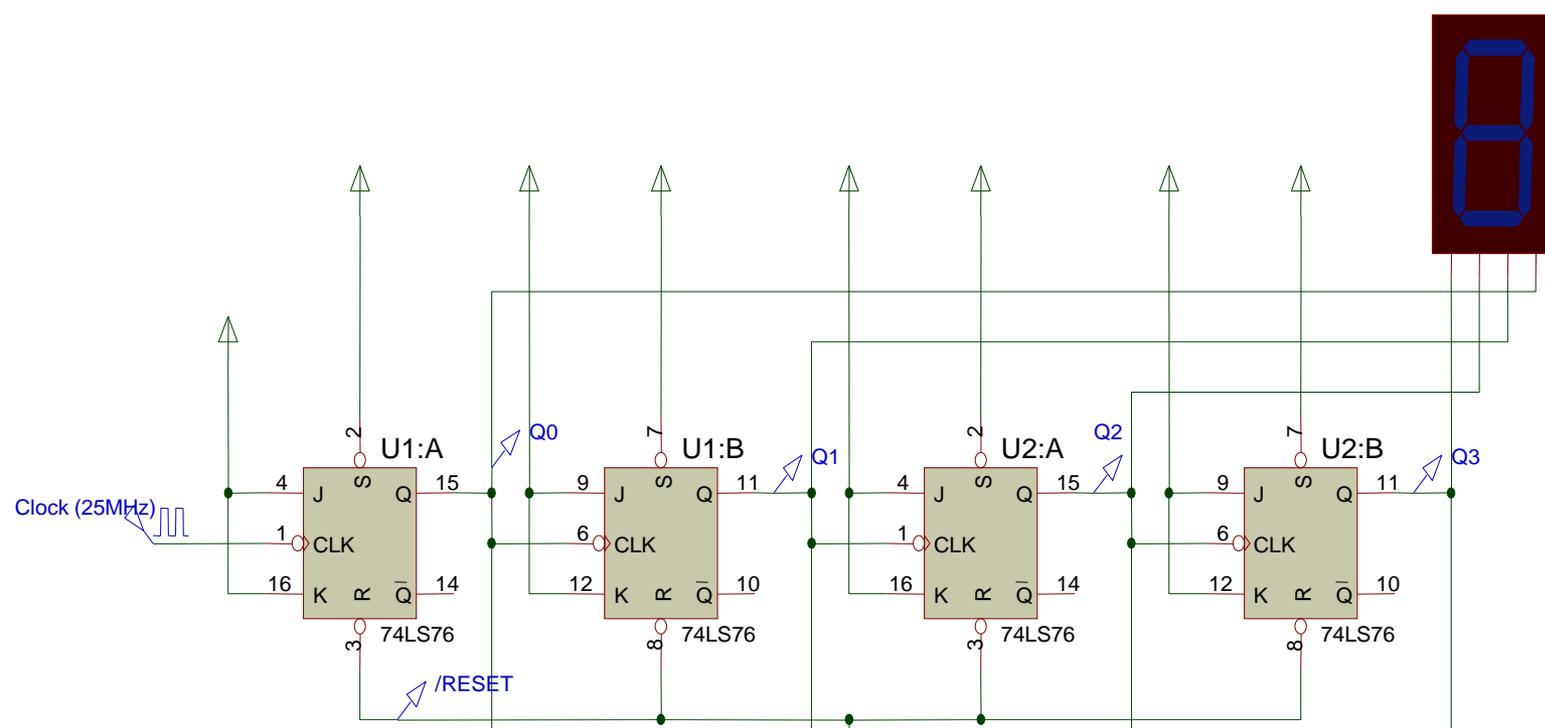
Diagrama Elétrico:



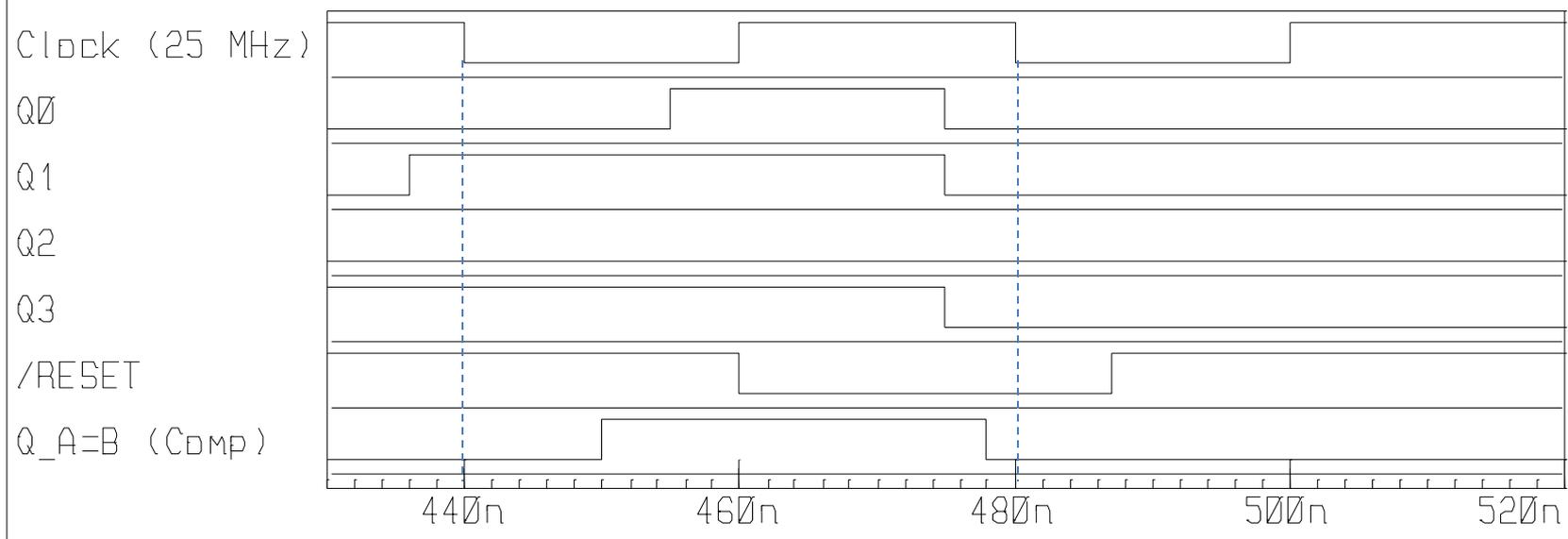
4. Reparando agora no instante das contagens!
5. Percebe-se que o clock adotado (25 MHz) quase alcança o limite de operação do circuito.
6. Melhor baixar a freq. do Clock.

Saída Contador



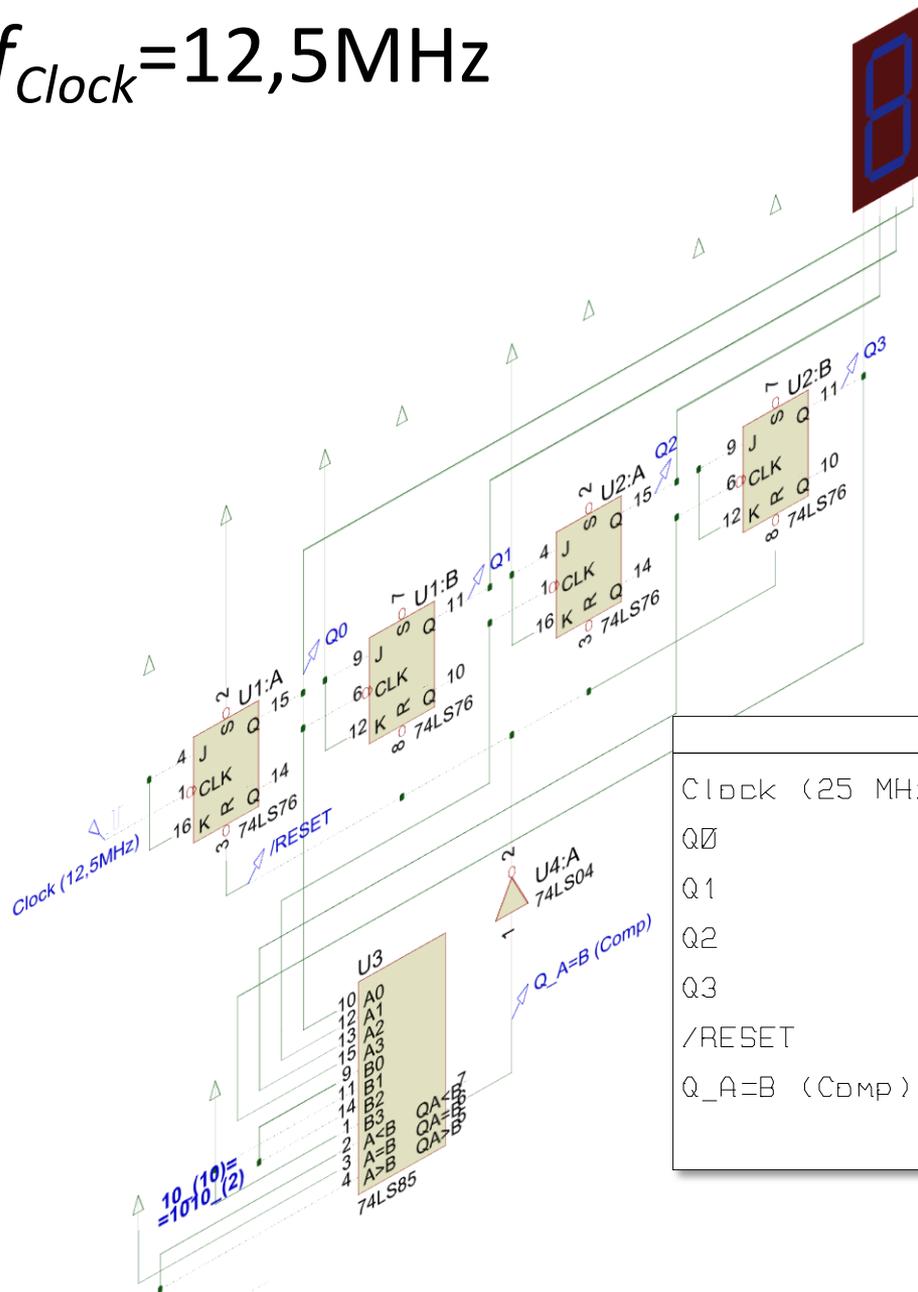


Saida Contador

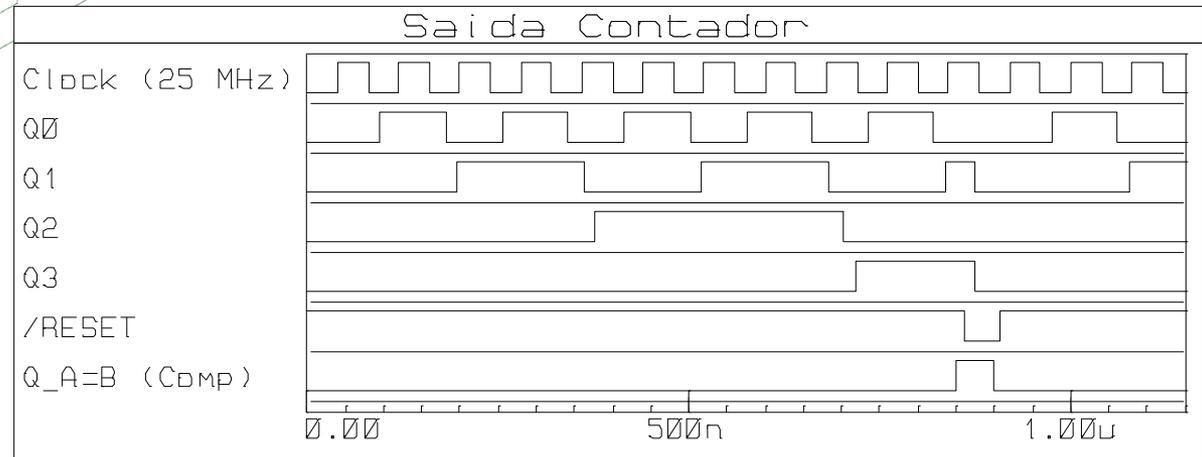


Nova Simulação,

$$f_{Clock} = 12,5\text{MHz}$$

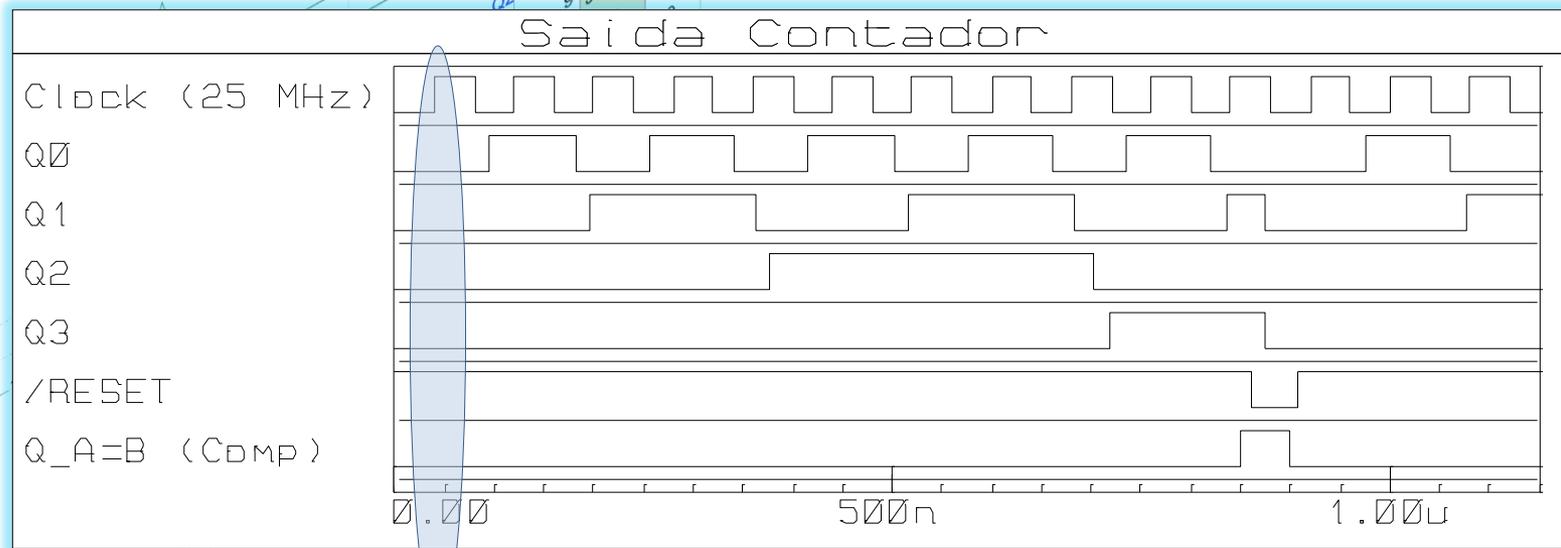


1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20$ ns (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock} = 12,5\text{MHz}$ (ver figura)!

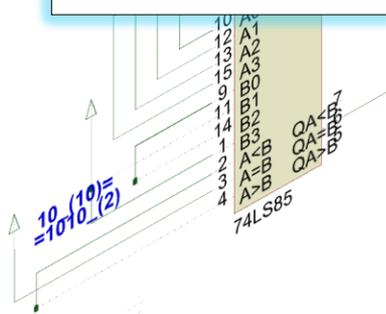


Nova Simulação, $f_{Clock}=12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20 \text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock}=12,5\text{MHz}$ (ver figura)!



Clock (12.5MHz)

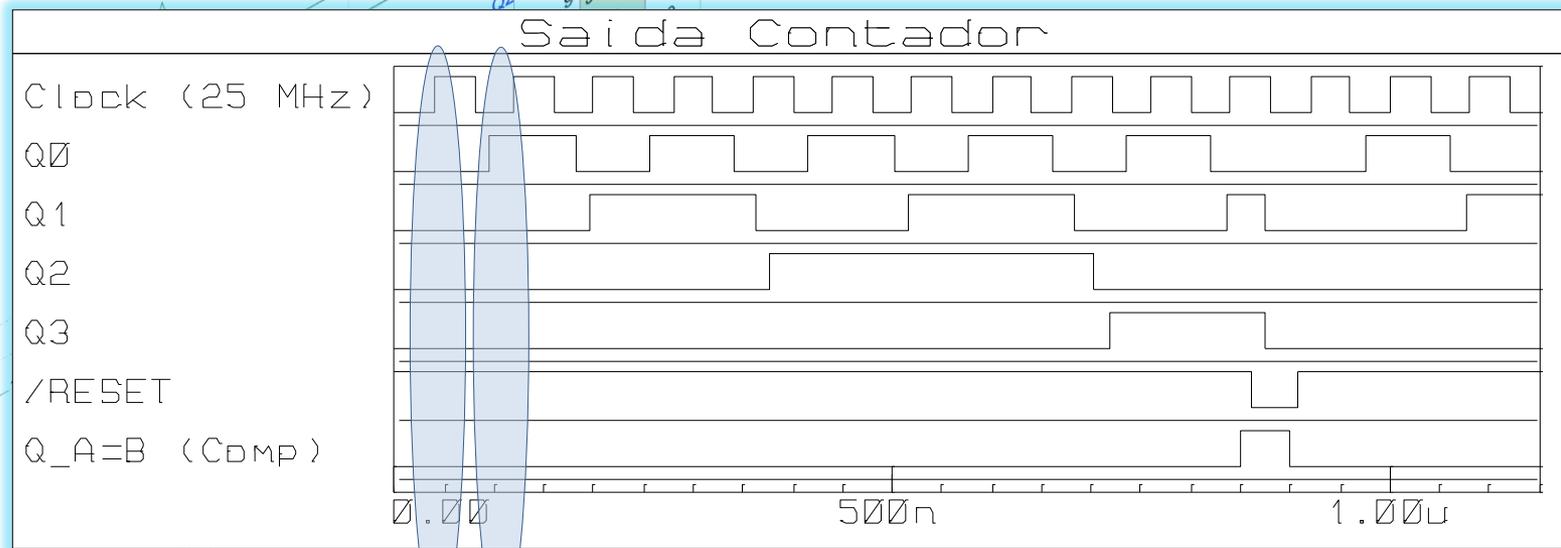


0000
0

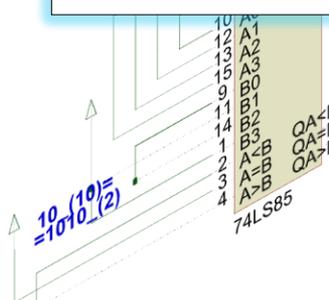
Nova Simulação,

$f_{Clock} = 12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20\text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock} = 12,5\text{MHz}$ (ver figura)!



Clock (12.5MHz)

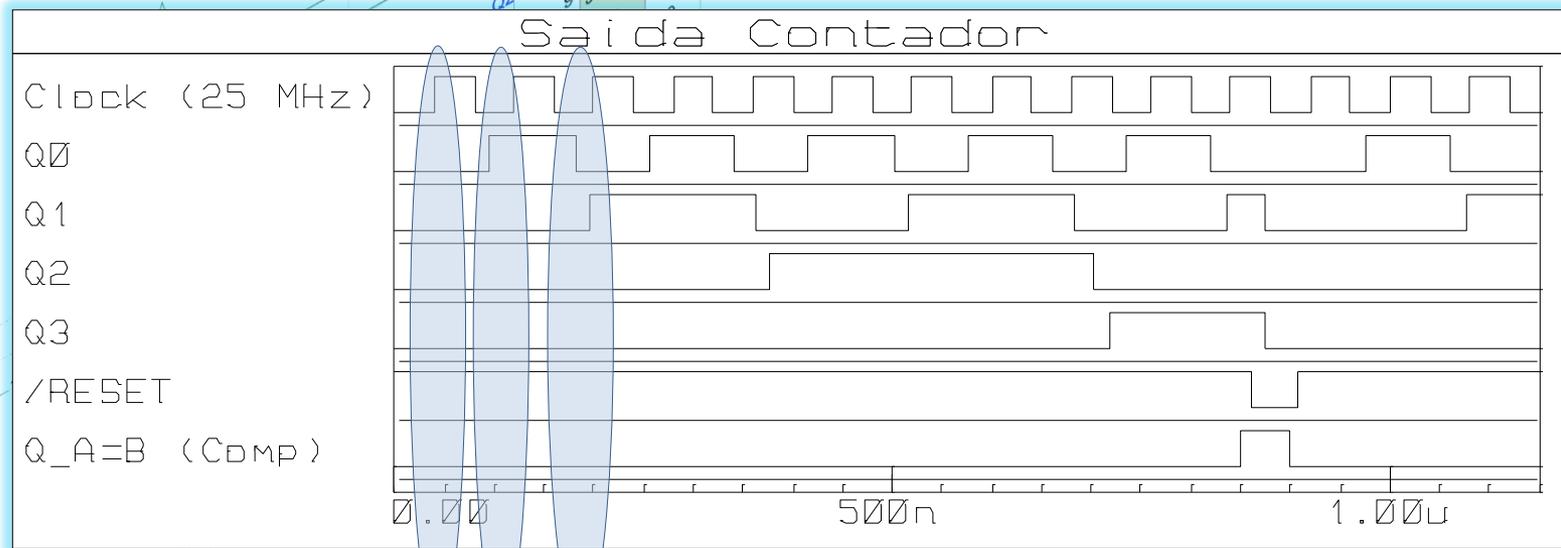


0000
0001
0 1

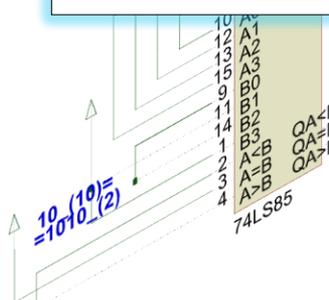
$$\frac{10 \cdot (10)}{10^1 \cdot 10^1} = \frac{100}{100} = 1$$

Nova Simulação, $f_{Clock}=12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20 \text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock}=12,5\text{MHz}$ (ver figura)!



Clock (12.5MHz)



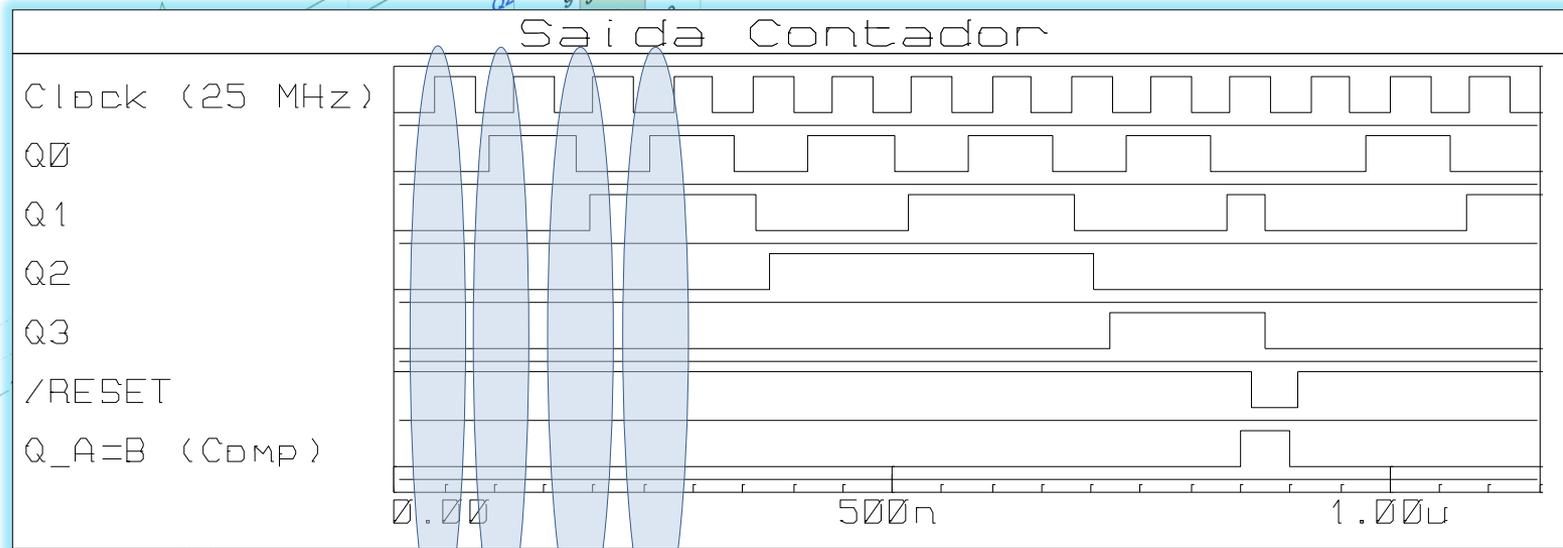
0000
0
0001
1
0010
2

Comece a perceber o impacto no cascadeamento dos atrasos de propagação entre as saídas Q0 e Q1!

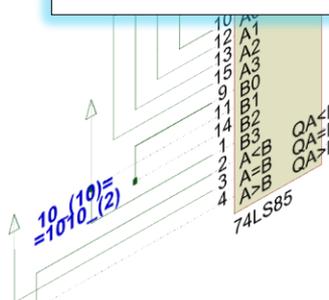
Nova Simulação,

$f_{Clock} = 12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20\text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock} = 12,5\text{MHz}$ (ver figura)!



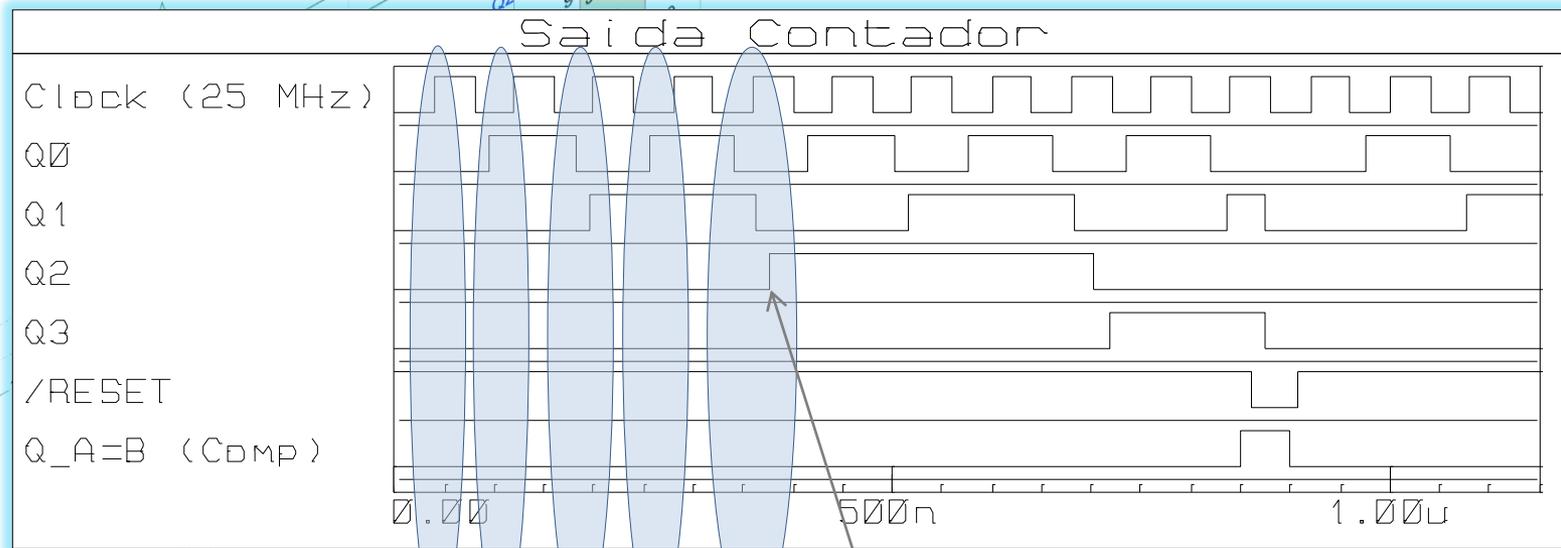
Clock (12.5MHz)



0000
0001
0010
0011
0 1 2 3

Nova Simulação, $f_{Clock}=12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20 \text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock}=12,5\text{MHz}$ (ver figura)!



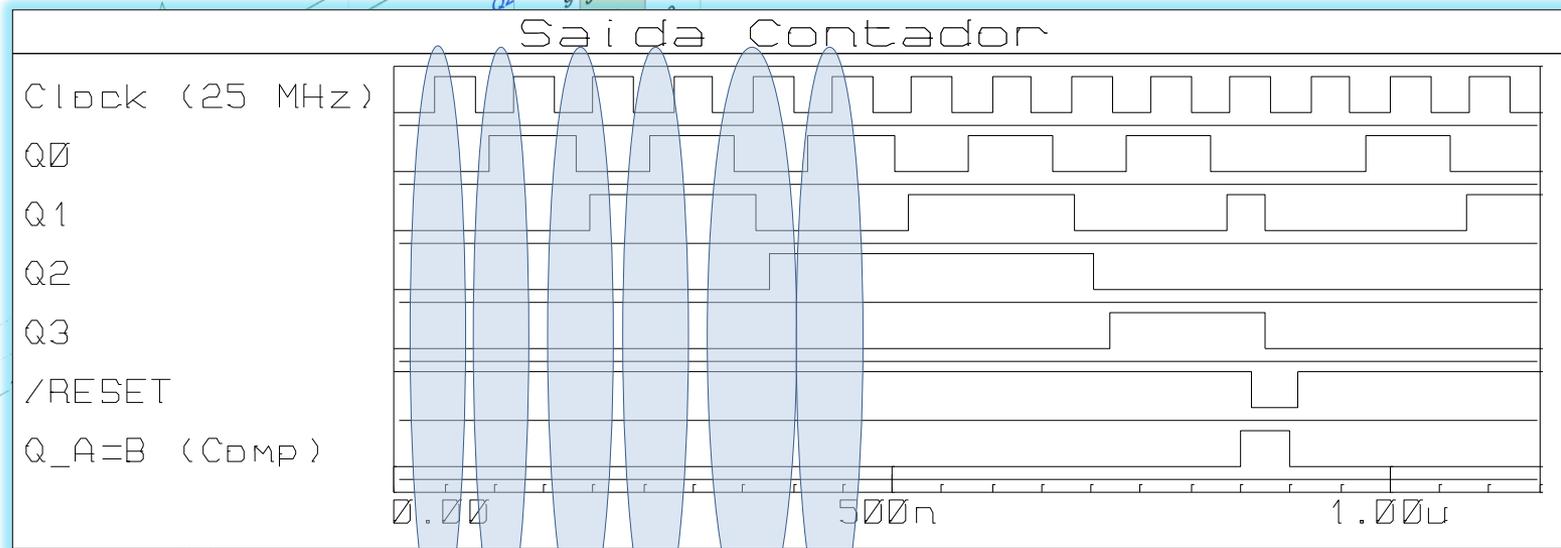
Clock (12.5MHz)

0000
0
0001
1
0010
2
0011
3
0100
4

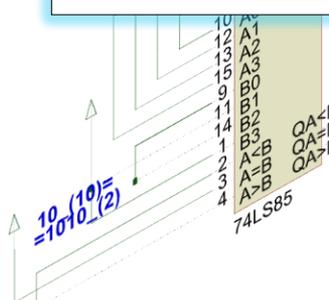
Aqui, o impacto no cascadeamento dos atrasos de propagação entre as saídas Q0 e Q1 é "grande"! Note como Q2 "demora" para mudar de estado!

Nova Simulação, $f_{Clock}=12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20 \text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock}=12,5\text{MHz}$ (ver figura)!



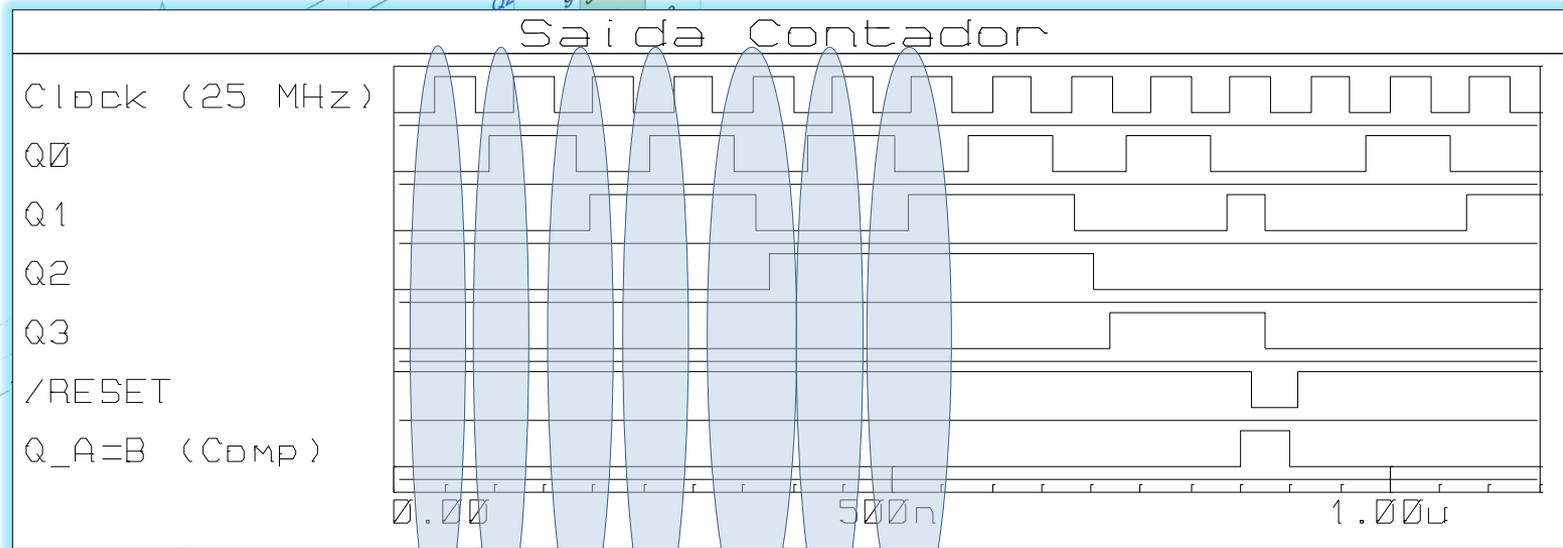
Clock (12.5MHz)



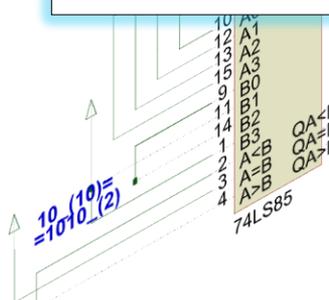
0000
0001
0010
0011
0100
0101
0 1 2 3 4 5

Nova Simulação, $f_{Clock}=12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20 \text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock}=12,5\text{MHz}$ (ver figura)!



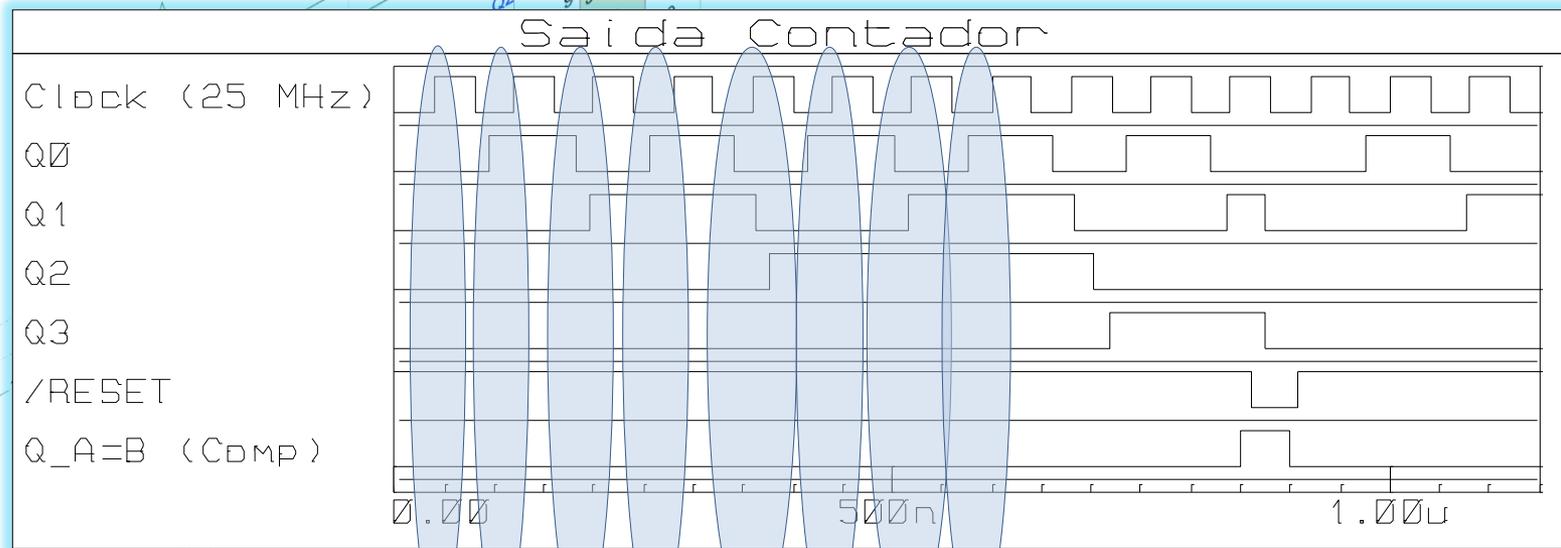
Clock (12.5MHz)



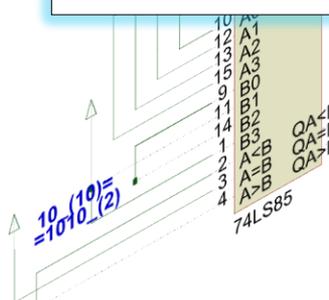
0000 0001 0010 0011 0100 0101 0110
0 1 2 3 4 5 6

Nova Simulação, $f_{Clock}=12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20 \text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock}=12,5\text{MHz}$ (ver figura)!



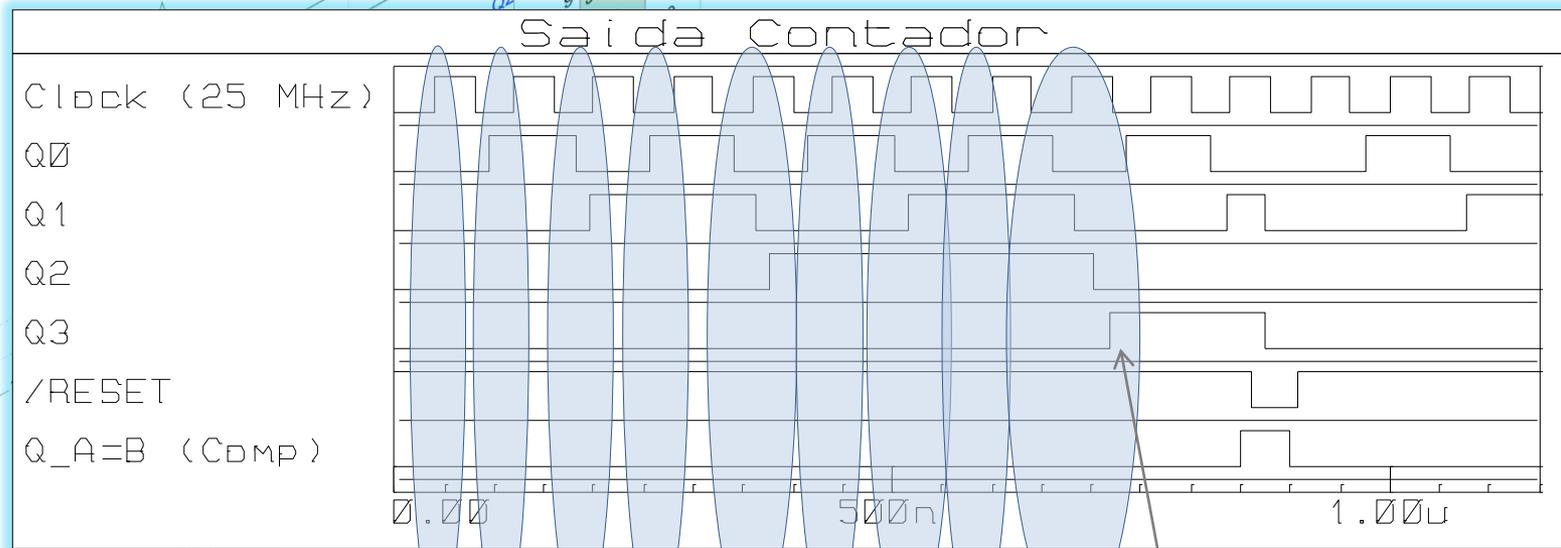
Clock (12.5MHz)



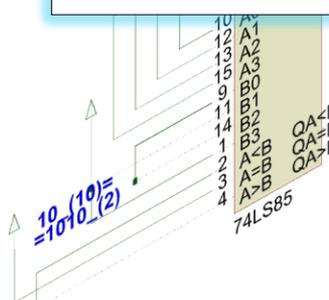
0000 0001 0010 0011 0100 0101 0110 0111
0 1 2 3 4 5 6 7

Nova Simulação, $f_{Clock}=12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20 \text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock}=12,5\text{MHz}$ (ver figura)!



Clock (12.5MHz)

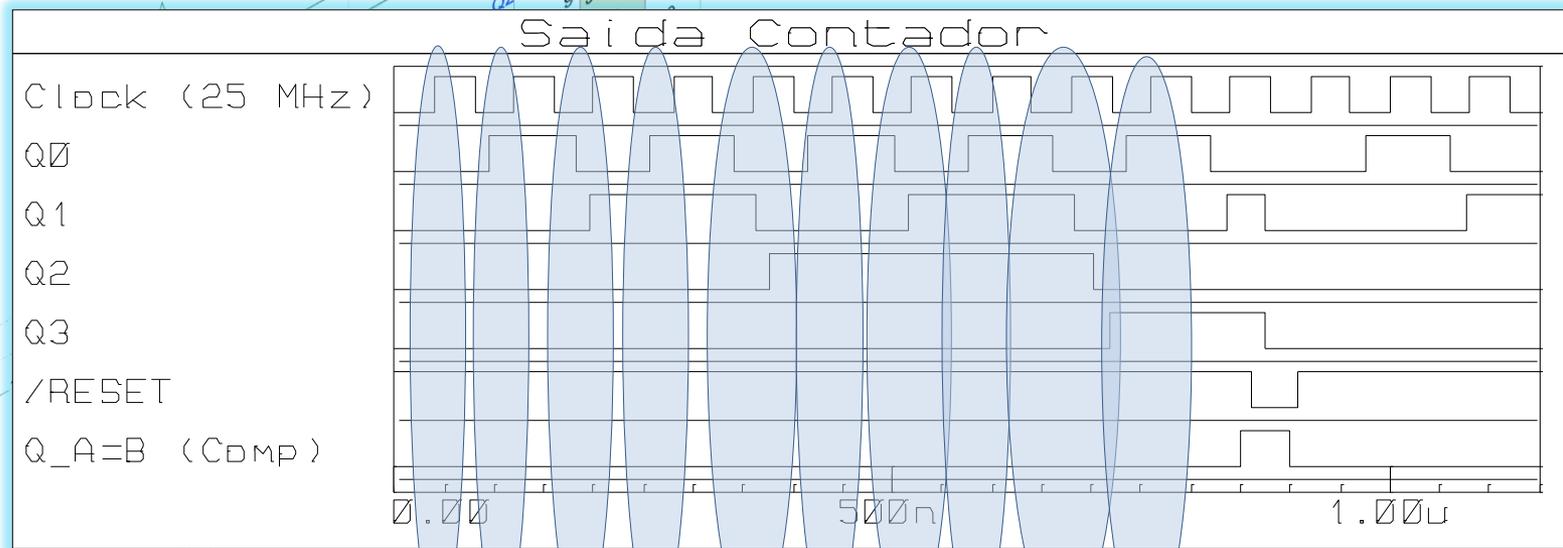


0000 0001 0010 0011 0100 0101 0110 0111 1000
0 1 2 3 4 5 6 7 8

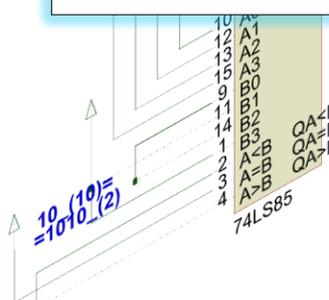
O impacto no cascadeamento dos atrasos de propagação entre as saídas Q0, Q1 e Q1 é ainda maior! Note como Q3 "demora" para mudar de estado!

Nova Simulação, $f_{Clock}=12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20 \text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock}=12,5\text{MHz}$ (ver figura)!



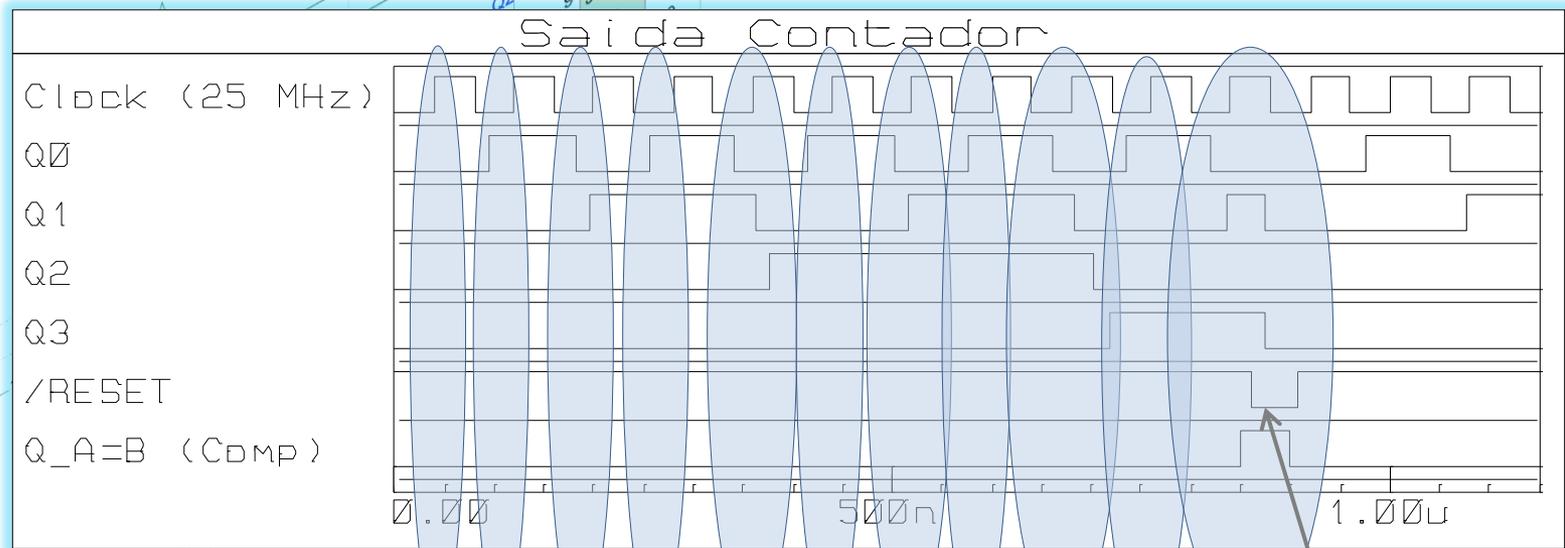
Clock (12.5MHz)



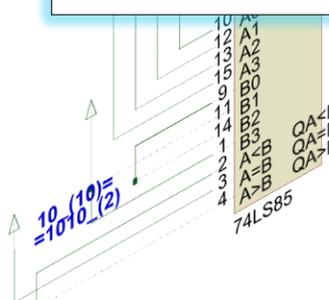
0000 0001 0010 0011 0100 0101 0110 0111 1000 1001
0 1 2 3 4 5 6 7 8 9

Nova Simulação, $f_{Clock}=12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20 \text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock}=12,5\text{MHz}$ (ver figura)!



Clock (12.5MHz)



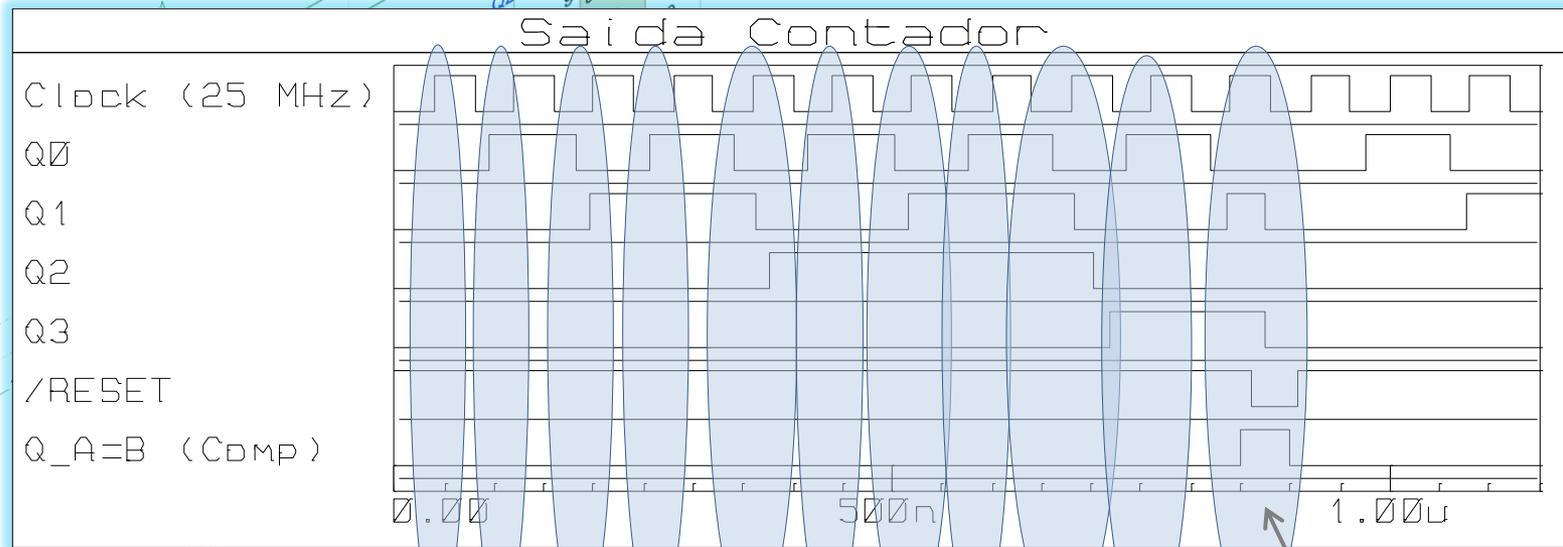
0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010

0 1 2 3 4 5 6 7 8 9 10

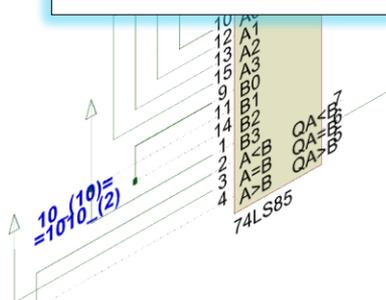
O instante do RESET!

Nova Simulação, $f_{Clock}=12,5\text{MHz}$

1. Como foi percebido pelos gráficos anteriores: os atrasos de propagação de um FF-JK (74LS76) estão ao redor de 20 ns! (ao menos para o modelo do 74LS76 disponível nesta versão do Proteus: 7.1 SP2).
2. A idéia é então simular o circuito numa frequência tão pequena quanto $\geq 4 \times 20 \text{ ns}$ (atraso de propagação de cada FF adotado).
3. Isto significa, usar um clock na faixa de 80ns ou seja, $f_{Clock}=12,5\text{MHz}$ (ver figura)!



Clock (12.5MHz)

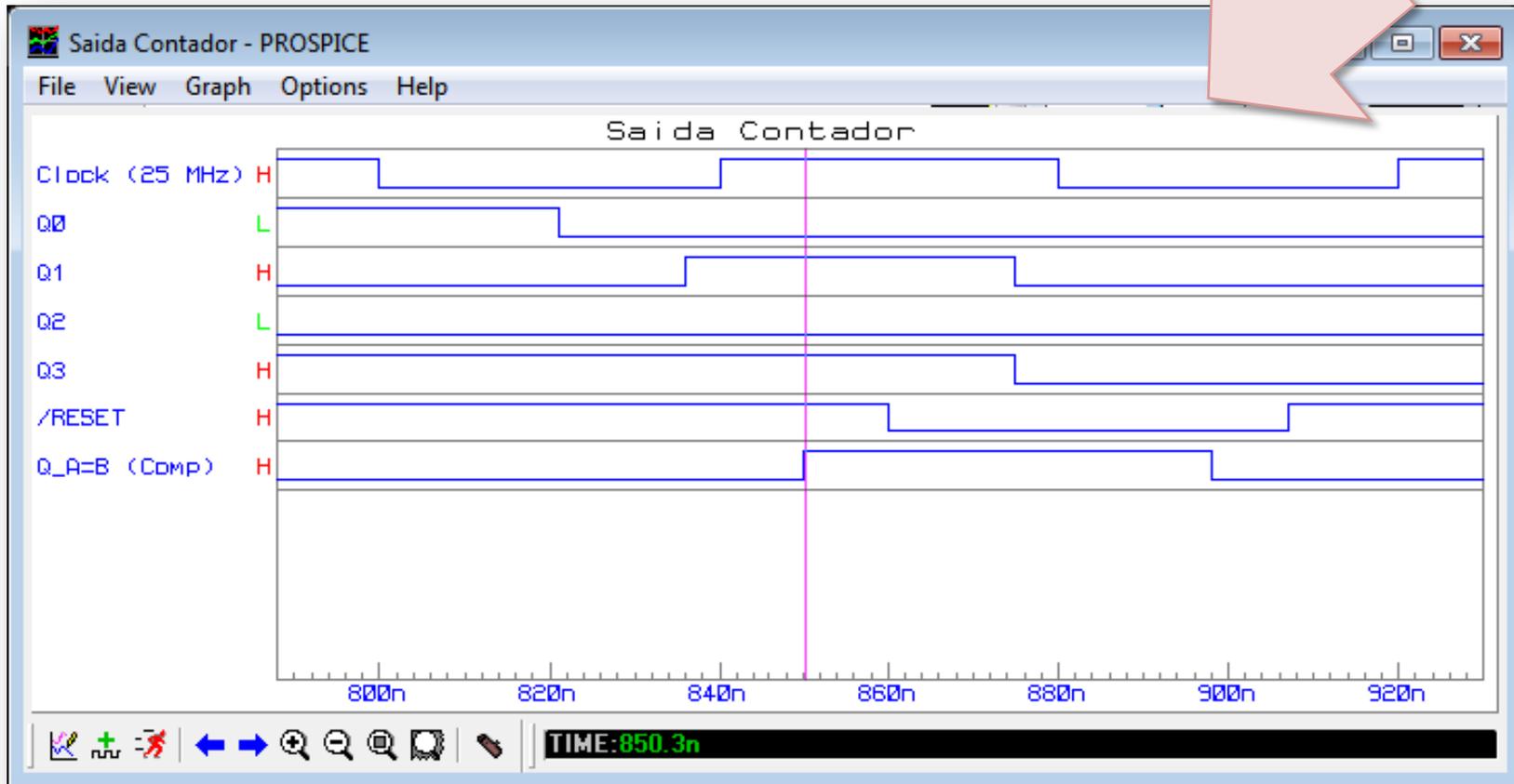
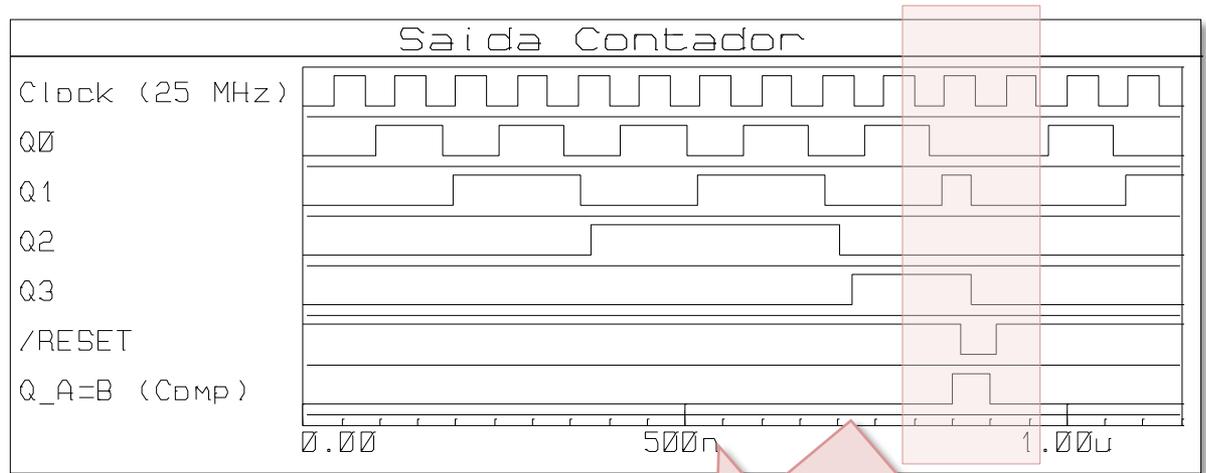


1001
9
1010
10

Note os atrasos entre os sinais

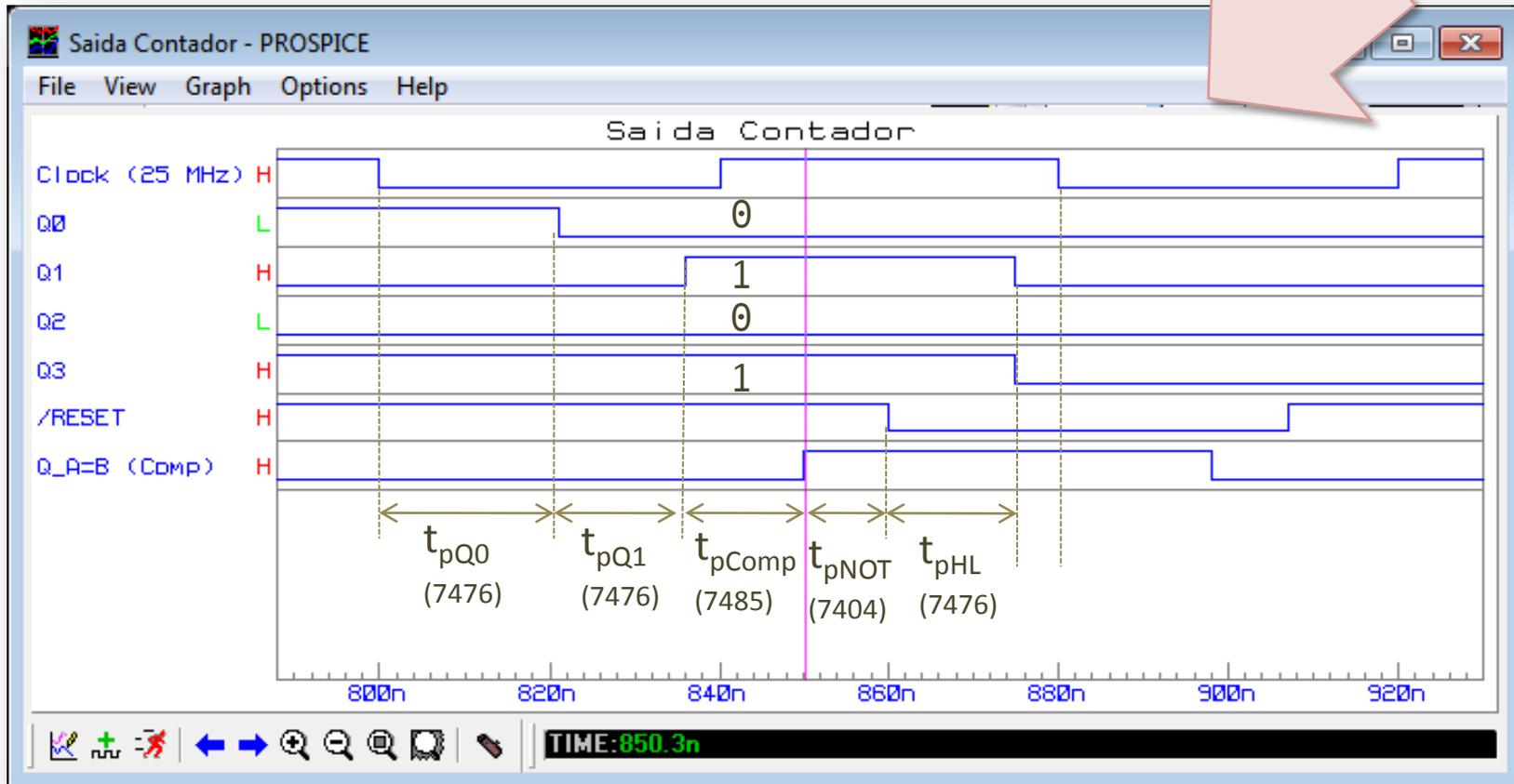
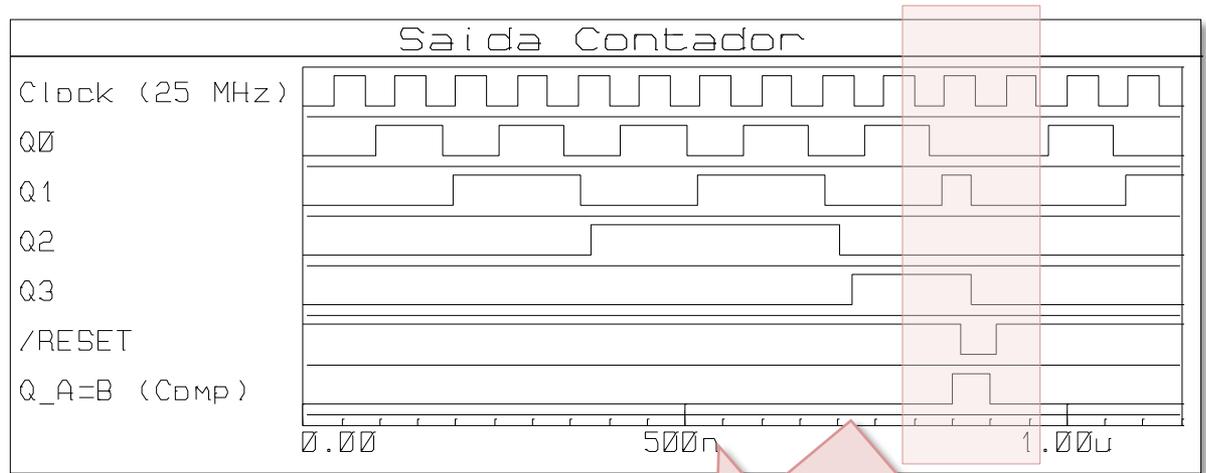
Nova Simulação, $f_{Clock}=12,5\text{MHz}$

“Zoom” na área
de interesse:



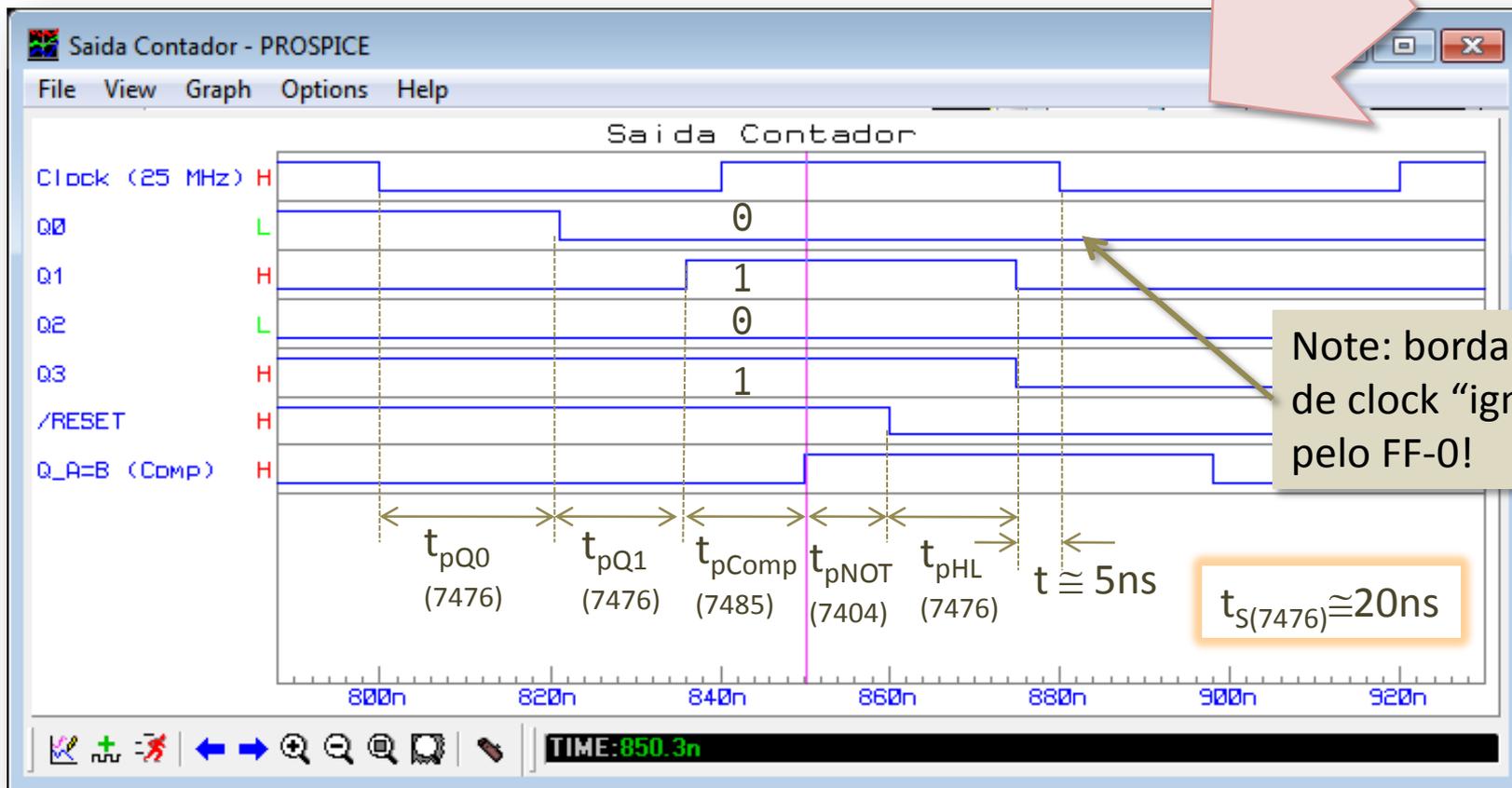
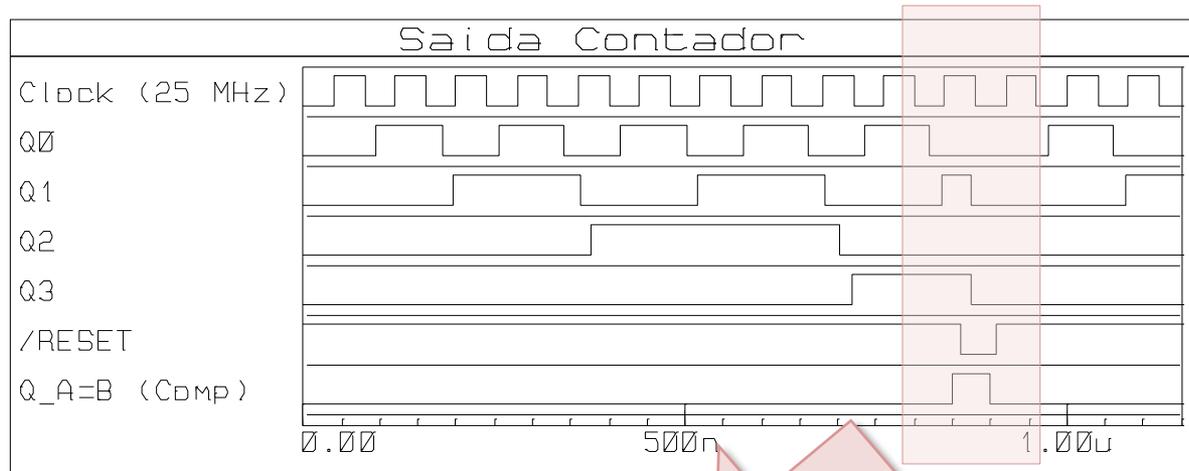
Nova Simulação, $f_{Clock}=12,5\text{MHz}$

“Zoom” na área
de interesse:



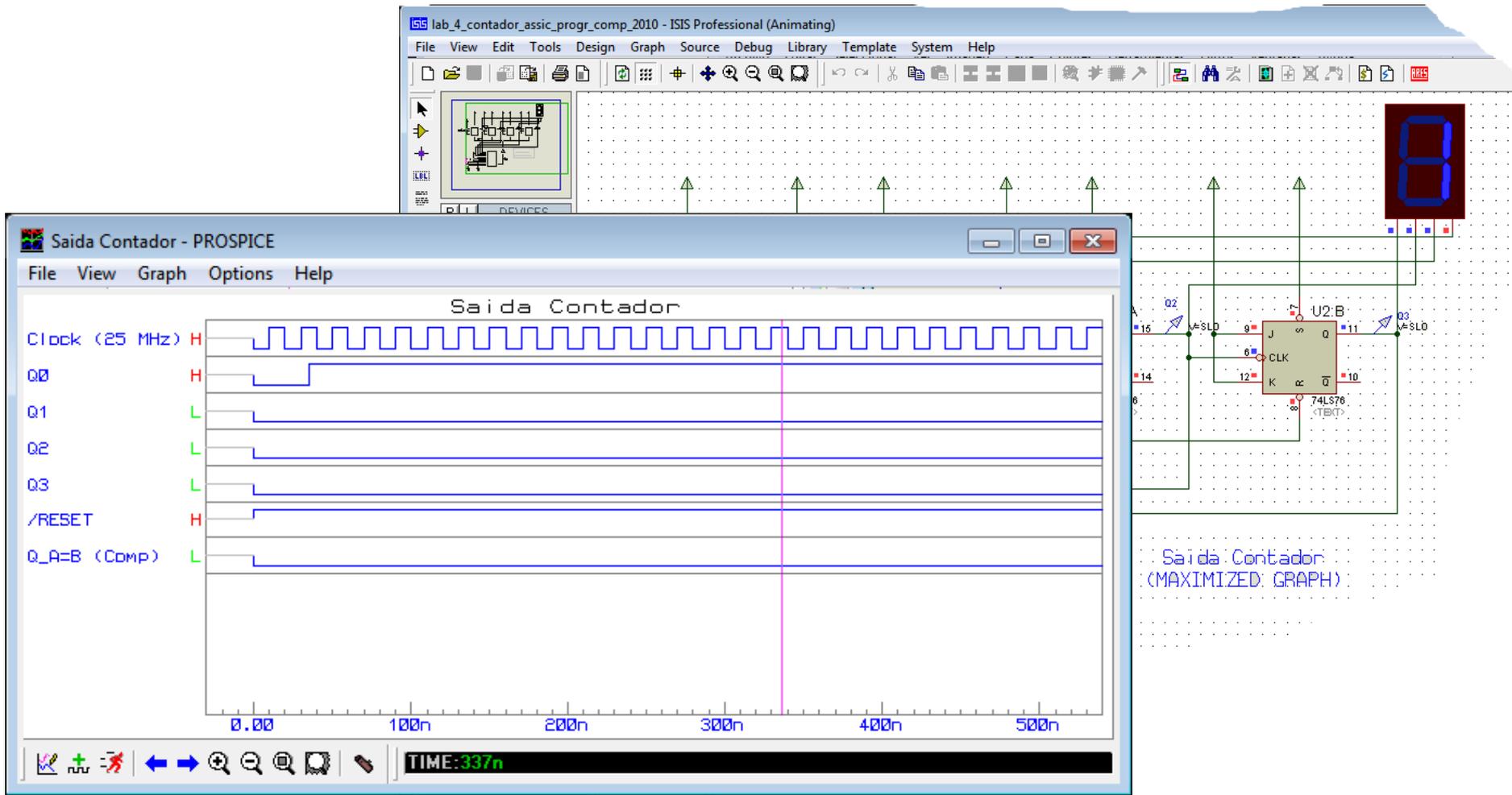
Nova Simulação, $f_{Clock}=12,5\text{MHz}$

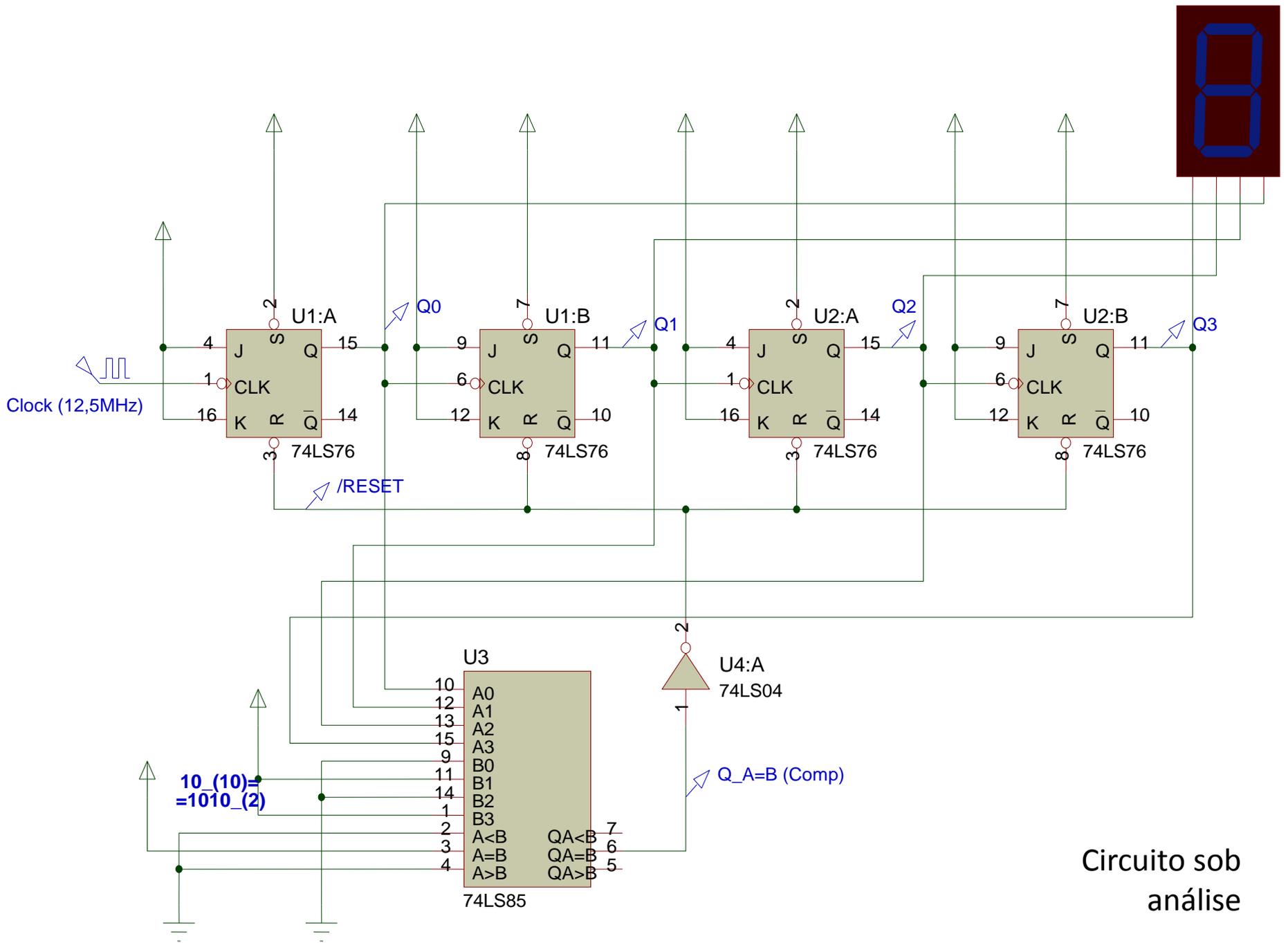
“Zoom” na área
de interesse:



Problemas:

- Tente simular o circuito anterior à 50 MHz!
 - O que acontece? Por que?
 - Resultado esperado para a simulação:





Circuito sob análise