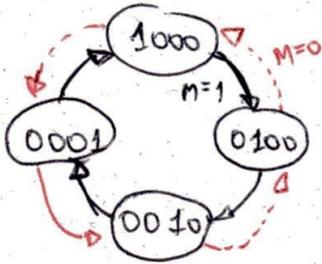


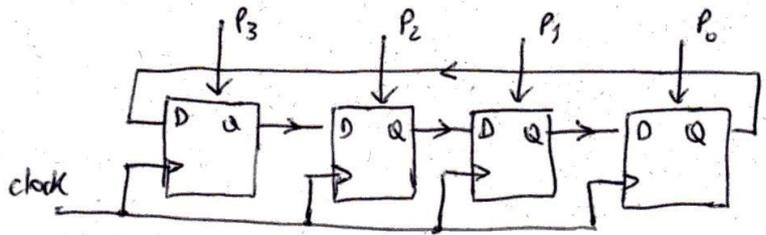
Problema: Implementar contador em Anel usando Registrador Universal Bidirecional 74F194.

Lembranças:

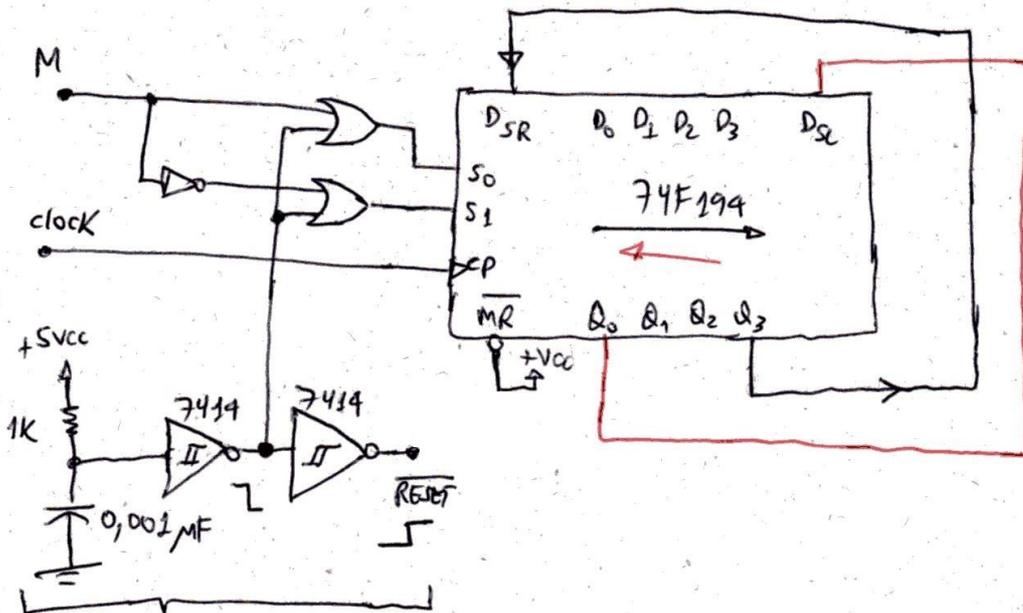
Diagrama de estados do Contador em Anel:



Circuit básico do contador em Anel:



Nota: necessário circuito de inicialização!
 Alguns dos FF's (99 um), deve iniciar setado!. Neste, num primeiro instante, $S_1 S_0 = 11$ (Parallel Load).



"Power-Up Reset"
 neste caso,
 "Power-Up Reset"

Tabela Verdade para $S_1 S_0$

	S_1	S_0
Parallel Load ($M=X$)	1	1
Shift Right ($M=1$)	0	1
Shift Left ($M=0$)	1	0

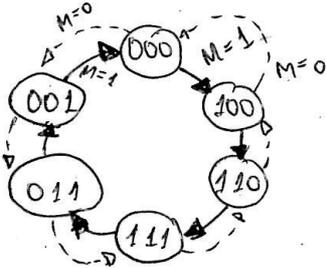
$S_0 = M$
 $S_1 = \bar{M}$

Exercício:

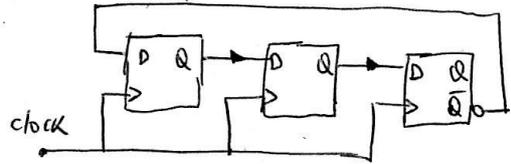
P2) Uso do registrador de deslocamento universal e bidirecional, CI 74194, para implementar contador Johnson de 6 estágios bi-direcional!

Tarefa:

Lembrando da diagrama de estados do contador Johnson de 6 estágios:



circuito interno do contador Johnson:



Símbolo do 74F194:

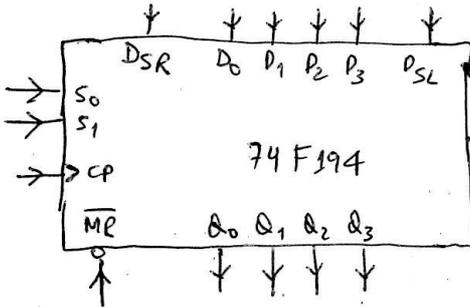


Tabela Verdade do 74F194:

CP	S ₁ S ₀	DSR	DSL	D _n	D ₀ D ₁ D ₂ D ₃	observações
X	0 0	X	X	X	q ₀ q ₁ q ₂ q ₃	Hold
↑	1 0	X	0	X	q ₁ q ₂ q ₃ 0	shift Left ←
↑	1 0	X	1	X	q ₁ q ₂ q ₃ 1	shift Left ←
↑	0 1	0	X	X	0 q ₀ q ₁ q ₂	shift Right →
↑	0 1	1	X	X	1 q ₀ q ₁ q ₂	shift Right →
↑	1 1	X	X	d _n	d ₀ d ₁ d ₂ d ₃	parallel load

Dados:

$$\begin{cases} t_s = 4/8 \text{ ns} & t_{PLH} = 8 \text{ ns} \\ t_h = 9 \text{ ns} & t_{PHL} = 8 \text{ ns} \\ t_{WCL} = 5 \text{ ns} \end{cases}$$

circuito de "Power-Up Reset":

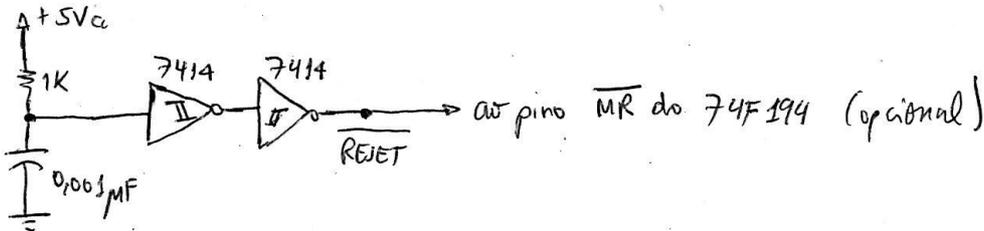
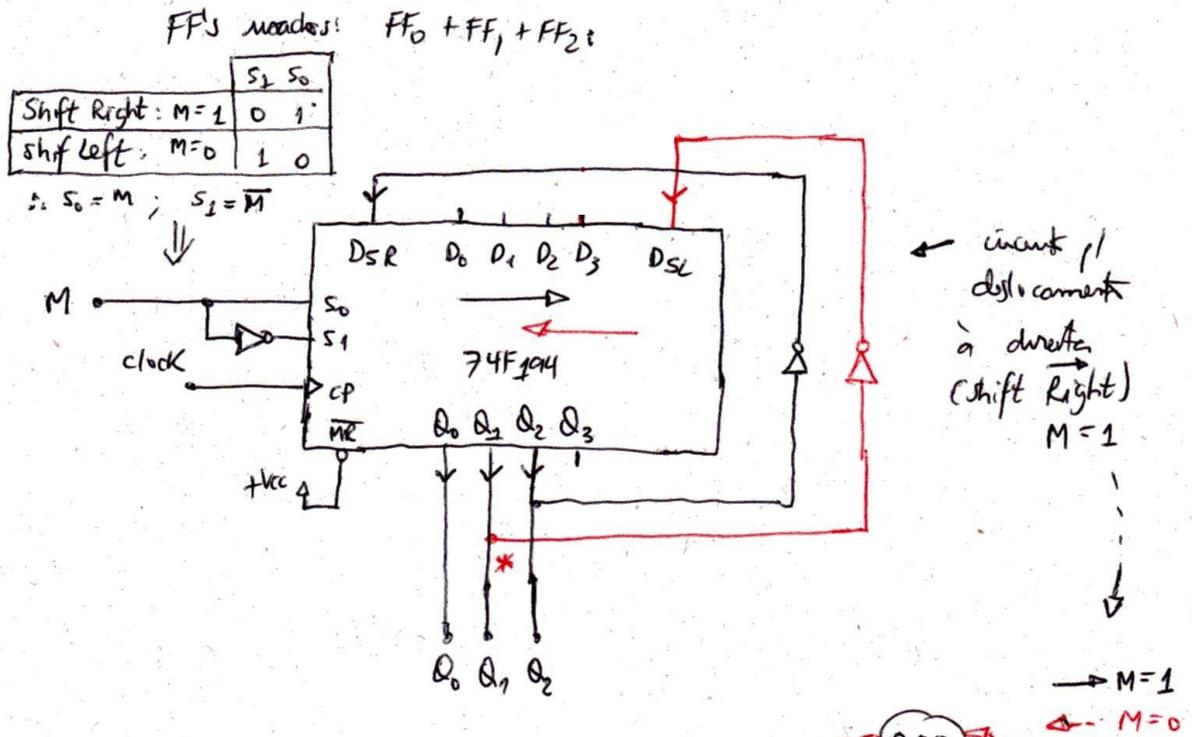


Figura. Início da dedução do circuito do contador Johnson de 6 estágios.
 (Continua... circuito acima está inacabado) □

Circuito do Contador Johnson de 6 estágios usando CI. Reg. Universal 74F194:



* note: so fosse um contador Johnson de 6 estágios (uso de 4 FFs), haveríamos estado a saída Q_0 para conectar à porta NOT. Mas como era desejado um contador Johnson de 6 estágios, a porta NOT foi conectada à Q_1 para compensar o "atraso" introduzido pela FF_3 que não tem sua saída empregada nesta função (não se usa sua saída). Com isto, este "atraso" (conexão à porta Q_1 e não a porta Q_0) é "anulado" pelo "atraso" introduzido pela última FF (FF_3).

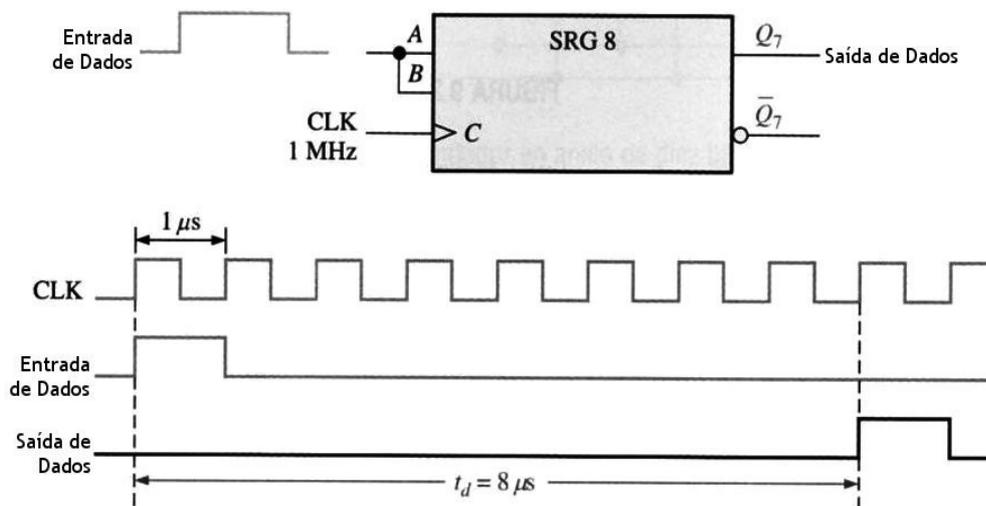
$M=0$ ∴ shift Left ←

Observação: sugere-se o traçado do diagrama no tempo para verificar se circuito acima inicializa de forma correta independente do valor da entrada M (Mode).

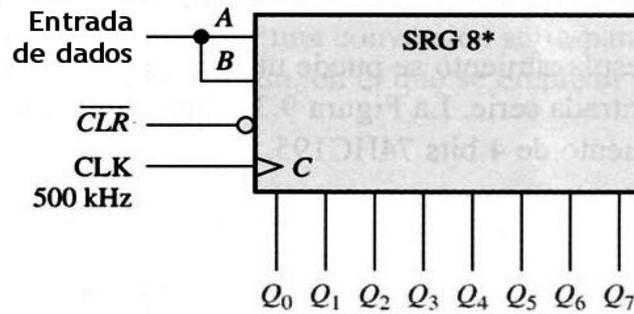
Uso de CI Registrador de Deslocamento (Entrada Serial, Saídas Paralelas) como dispositivo de retardo de tempo (diferentes linhas de retardo de tempo)

Registradores de deslocamento podem ser usados para obter um retardo no tempo relacionado com o número de estágios (internos) e sua frequência de clock.

Quando se aplica um pulso na entrada série do registrador de 8 bits da figura abaixo, este é introduzido no primeiro estágio (FF interno) por ocasião da borda de subida do sinal de clock. Este dado se desloca entre os Ffs internos, a cada pulso ativo do sinal de clock até aparecer na saída Q7 depois de 8 pulsos de clock. Se a frequência do clock for de 1 Mhz (período de 1 μ s), pode-se então conseguir um retardo no tempo de 8 μ s (8 x 1 μ s).

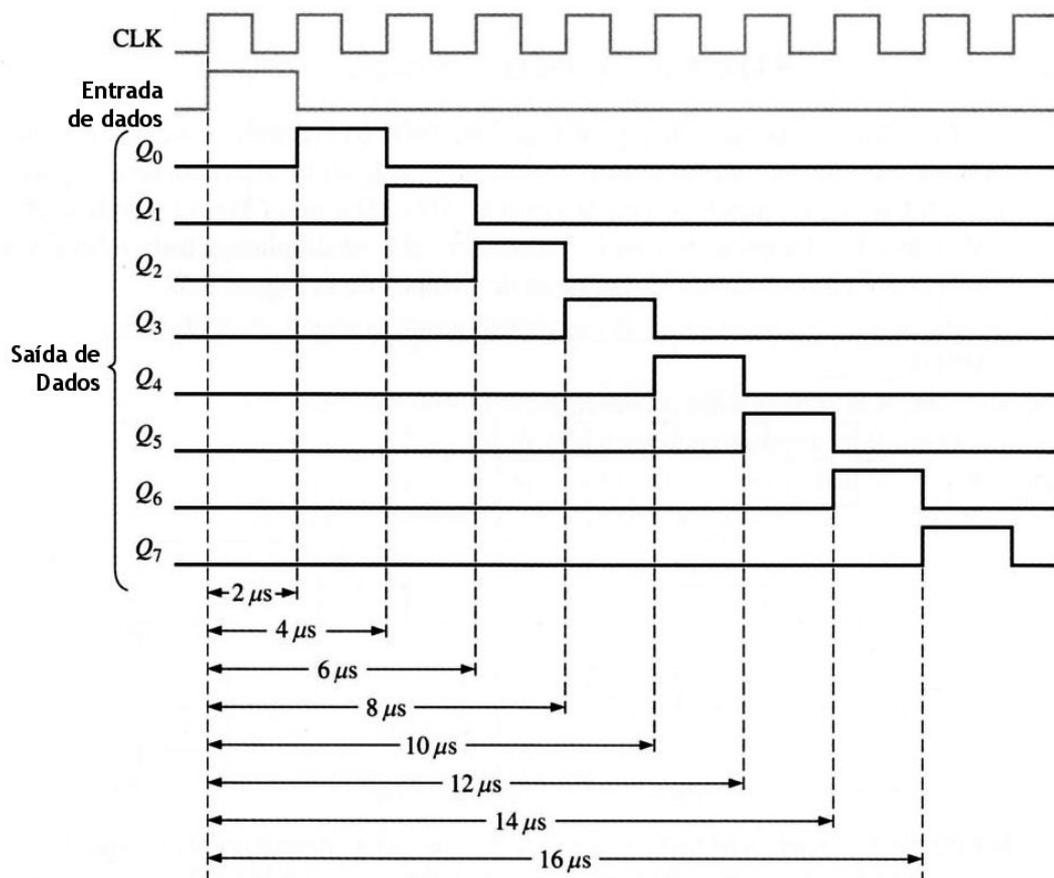


Retardos múltiplos no tempo de $2 \mu\text{s}$ baseado no circuito anterior, podem ser obtidos se for utilizado um registrador de deslocamento de entrada série e saídas paralelas como o mostrado na próxima figura.

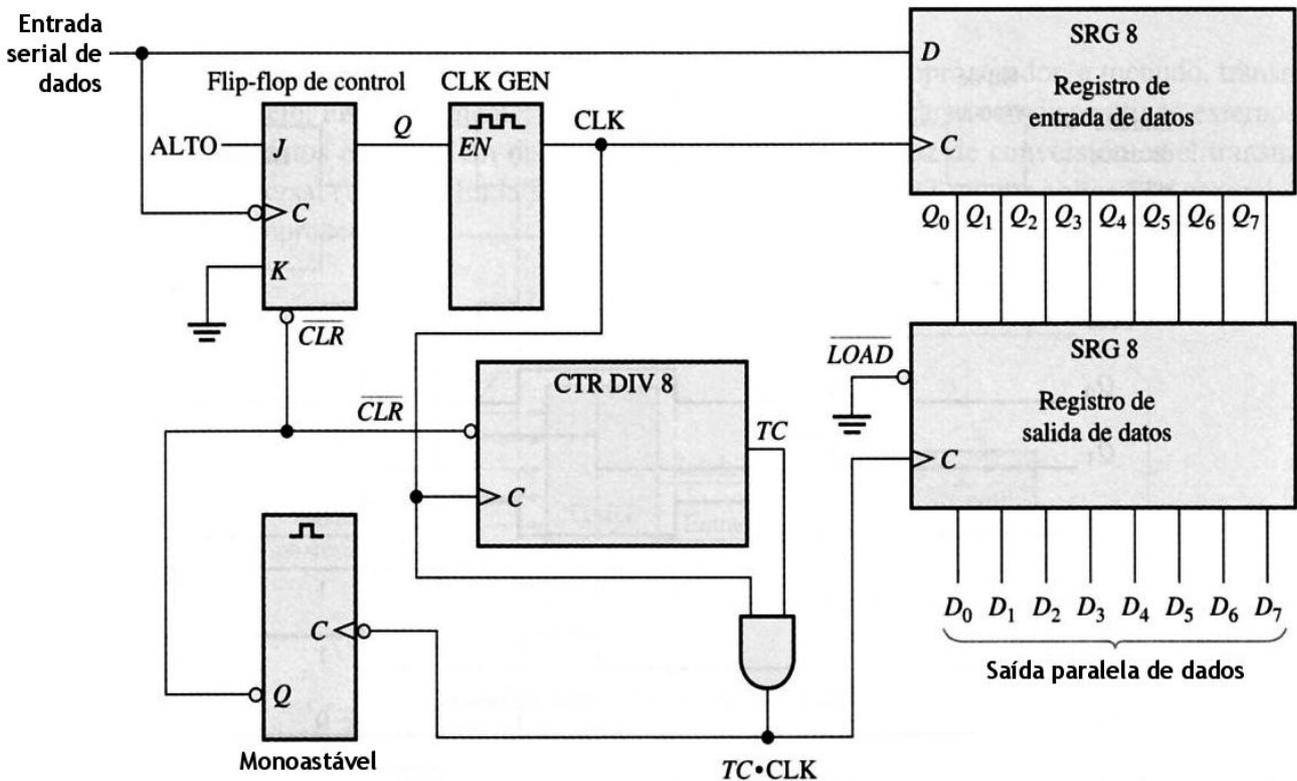


* Os dados se deslocam de Q_0 a Q_7 .

A figura abaixo mostra um diagrama de tempo relacionado com a figura anterior.



Circuito Conversor de dados série para paralelo:



O formato de dados serial usado para trabalhar com o circuito da figura anterior é composto por uma sequência de 11 bits como demonstrado na figura a seguir:

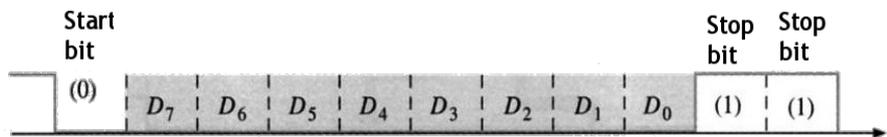


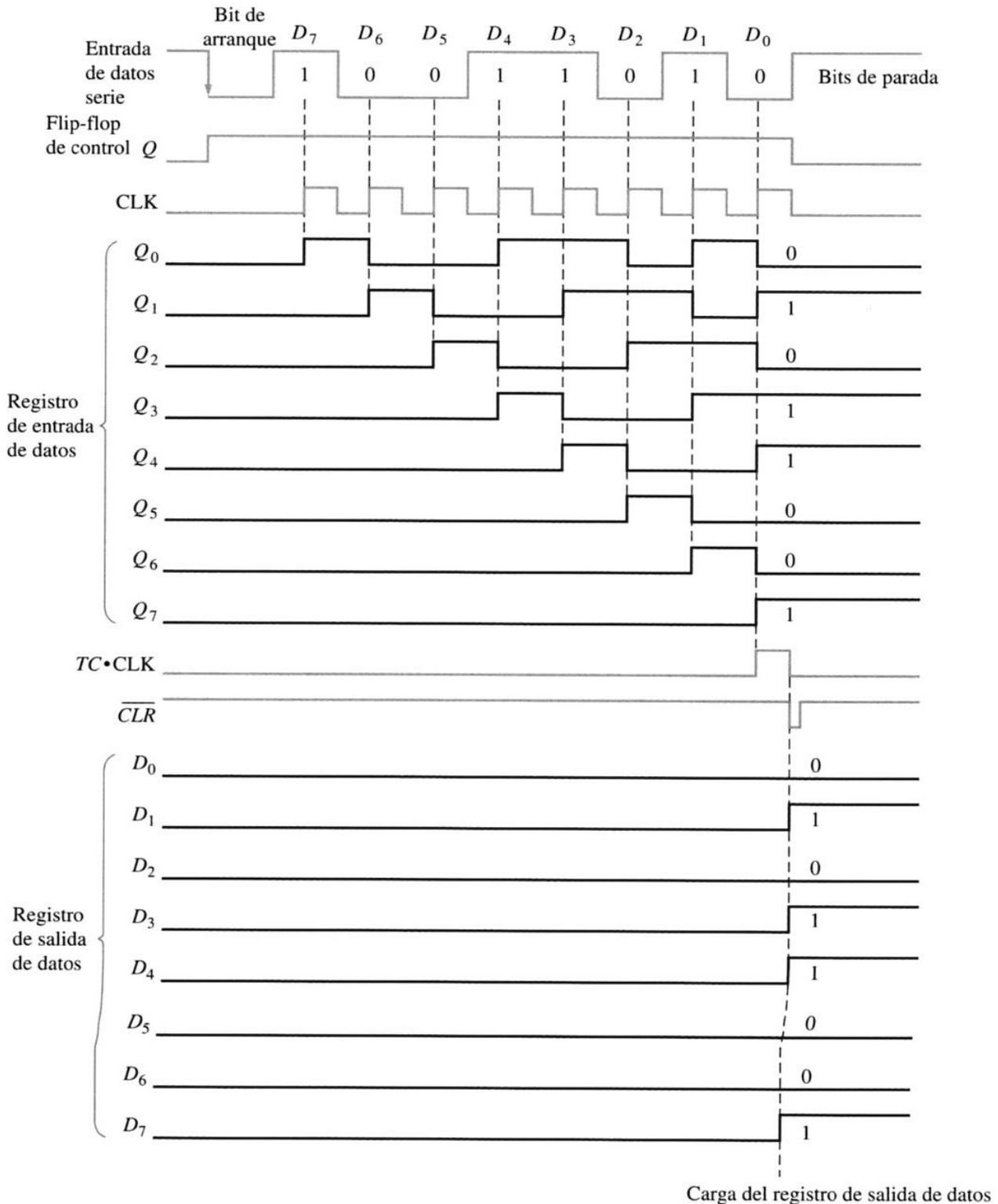
Fig. Formato serial dos dados.

O primeiro bit (Start bit) sempre é 0 (zero) e sempre se inicia com uma transição de nível lógico ALTO para BAIXO. Os 8 bits seguintes (D7 a D0) são os bits de dados (um deles pode ser o de paridade) e os últimos 2 bits (Stop bits) são sempre 1. Quando não se transmitem dados, a linha de dados fica sempre em 1 (nível lógico ALTO).

A próxima figura demonstra no tempo, a sequência de funcionamento deste circuito.

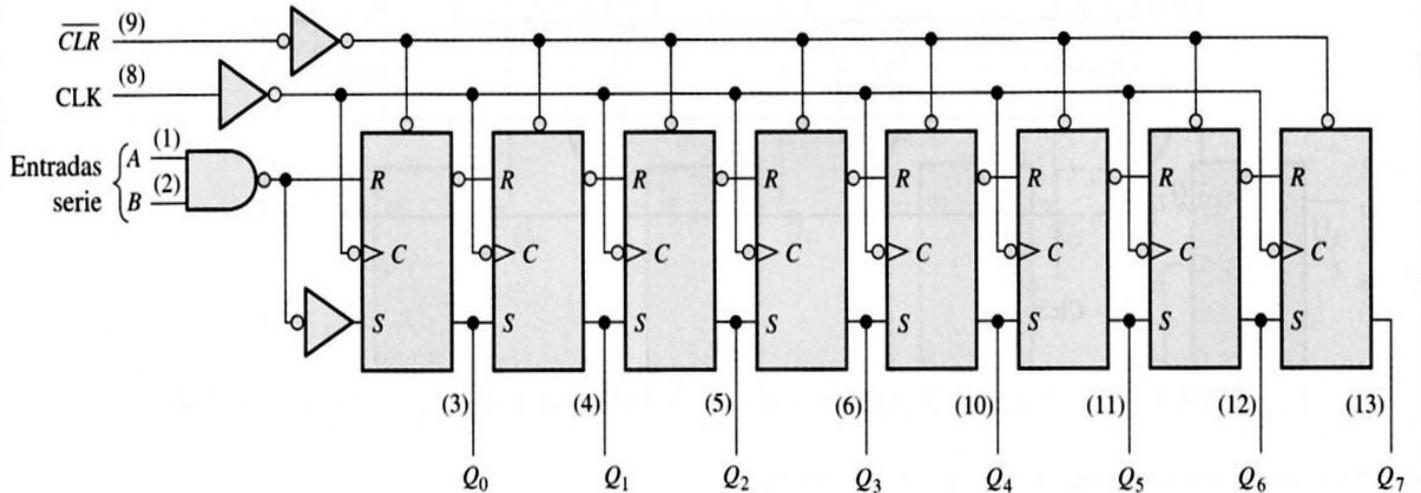
Note que a mudança de nível lógico de ALTO para BAIXO do bit de partida ativa o primeiro Flip-Flop, dito de controle, que por sua vez ativa o gerador de clock (CLK GEN). Depois de um atraso no tempo fixo, o gerador de clock começa a gerar seu trem de pulsos, que são aplicados ao registrador de entrada de dados e também são aplicados ao contador de MOD-8 (divisão da freq. De entrada por 8). A frequência deste gerador de clock coincide com a frequência dos dados seriais de entrada. O primeiro pulso de clock é produzido depois do bit de partida e simultaneamente com o primeiro bit de dados (Start bit). O registrador de entrada de dados vai deslocando os dados que recebe. Depois do oitavo pulso de clock, se produz uma transição de nível lógico ALTO para BAIXO na saída TC (Terminal Count) do contador que é aplicado à uma das entradas da porta AND. A outra entrada da porta AND trabalha em sincronismo com o sinal de Clock. Deste modo, a saída da porta AND só se ativa

depois que os 8 bits de entrada serial de dados foram todos devidamente deslocados no registrador de entrada e este pulso ativado, faz com que o registrador de saída se carregue com os 8 bits de dados de entrada serial que estavam sendo transferidos. A saída a porta AND serve ainda para disparar o monoastável que por sua vez, produz um pulso de curta duração na entrada /CLR do contador (Reseta o contador) e Reseta ainda o Flip-Flop de controle, que por sua vez, desativa o gerador de clock. Desta forma, o sistema fica pronto para receber um novo "pacote" de dados composto pelos 11 bits.

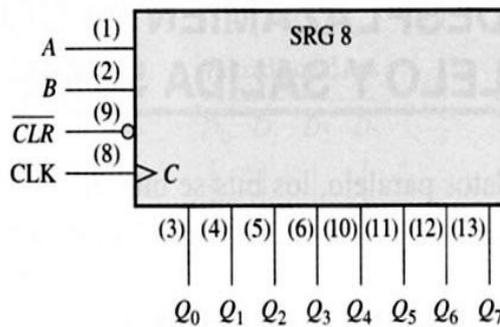


Revisão de Registradores de Deslocamento:

Registrador de Deslocamento de 8 bits com entrada serial e saída paralela (74HC164)



(a) Diagrama lógico



(b) Símbolo lógico

O CI 74HC164 dispõe de 2 entradas seriais, A e B, conectadas (internamente) através de uma porta AND e uma entrada de Clear ativo BAIXO (\overline{CLR}). As saídas paralelas vão de Q₀ à Q₇.

A figura à seguir um exemplo de uso do registrador 74HC164.

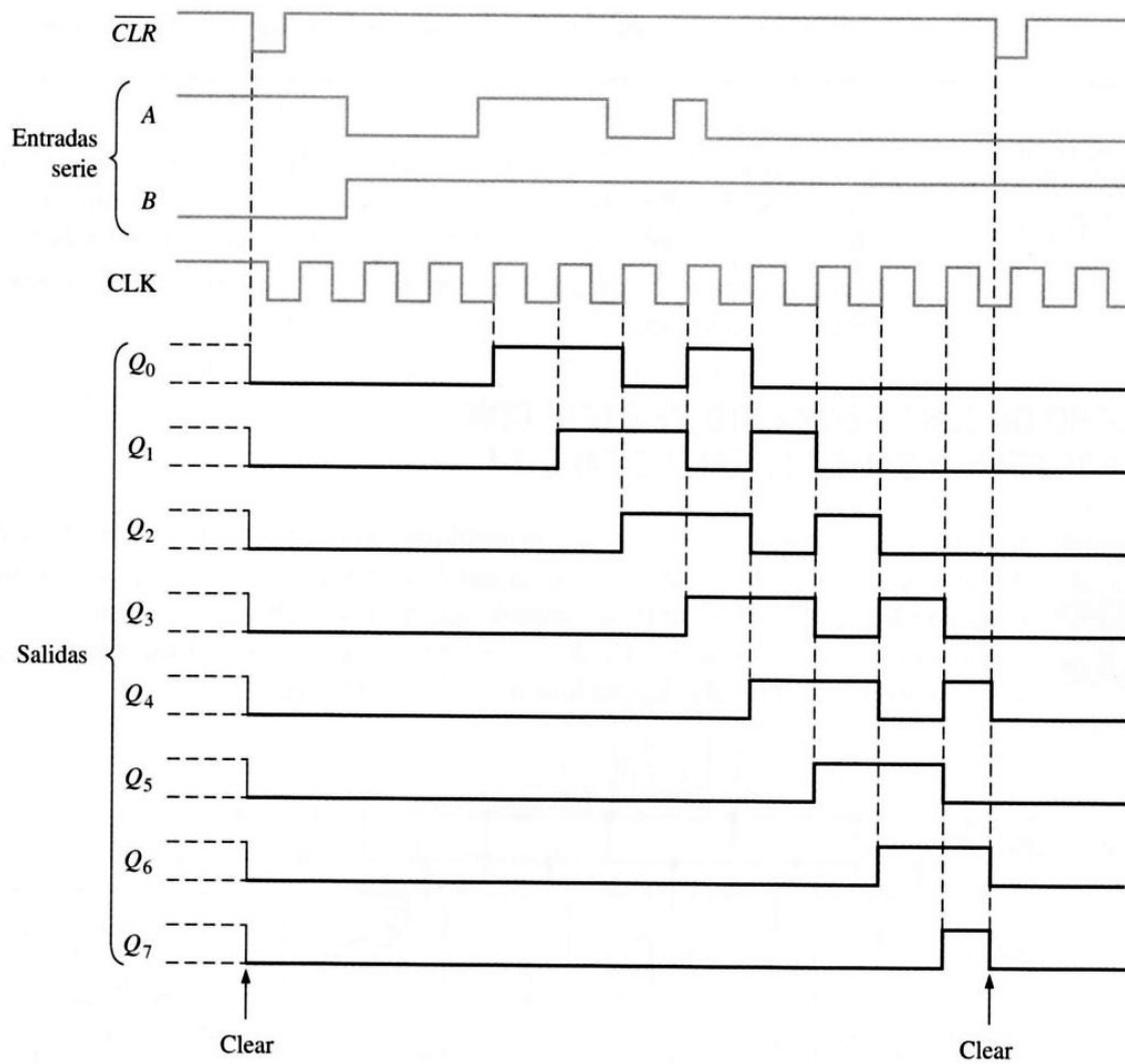
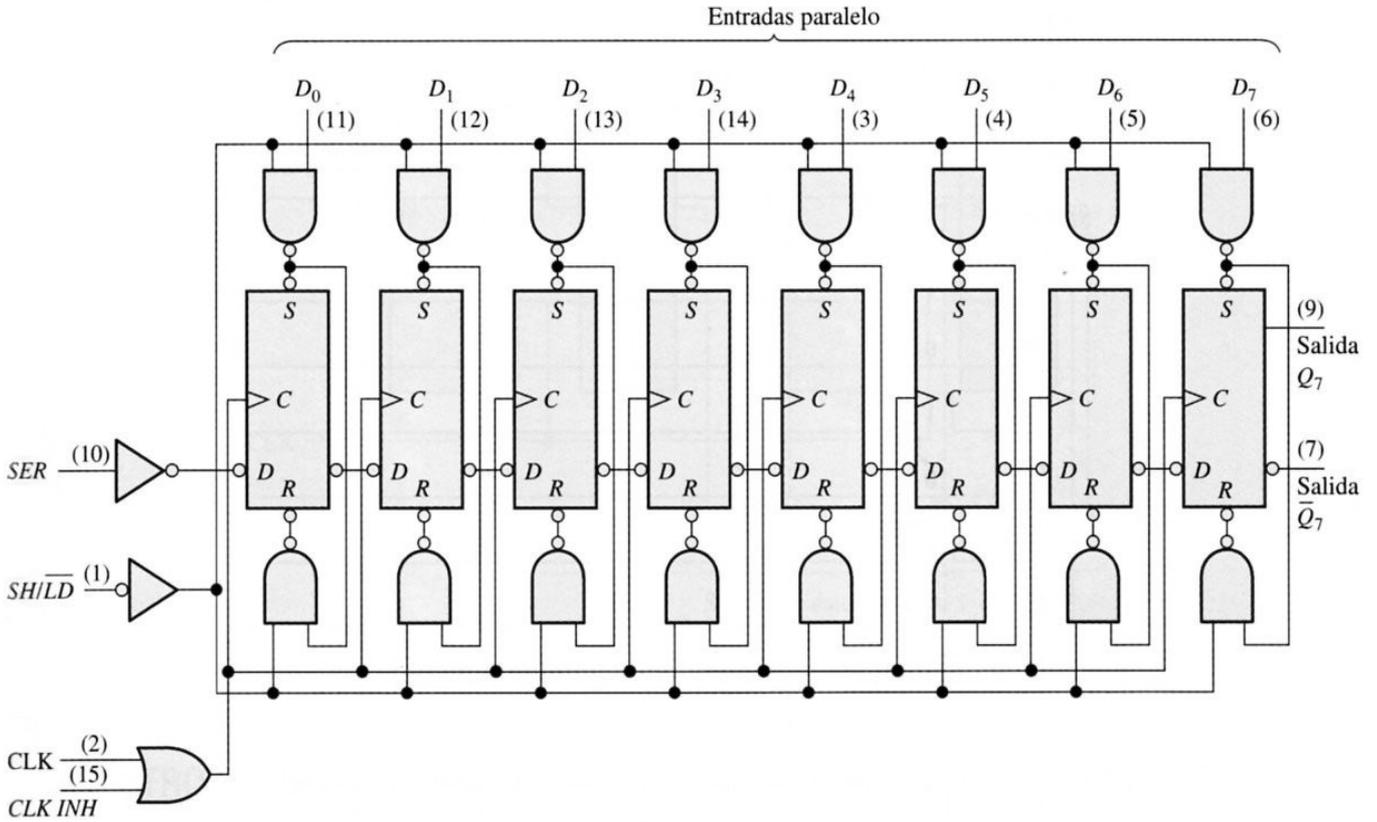


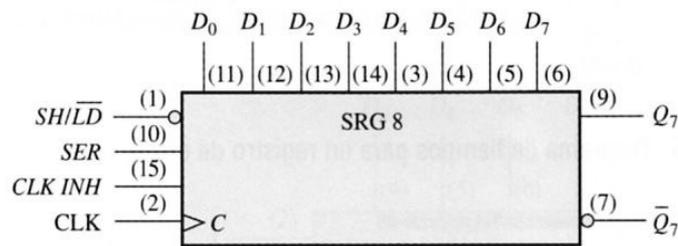
Fig. Exemplo de uso do CI 74HC164.

Registrador de Deslocamento de 8 bits com carga paralela de dados (74HC165)

Exemplo: CI 74HC165:

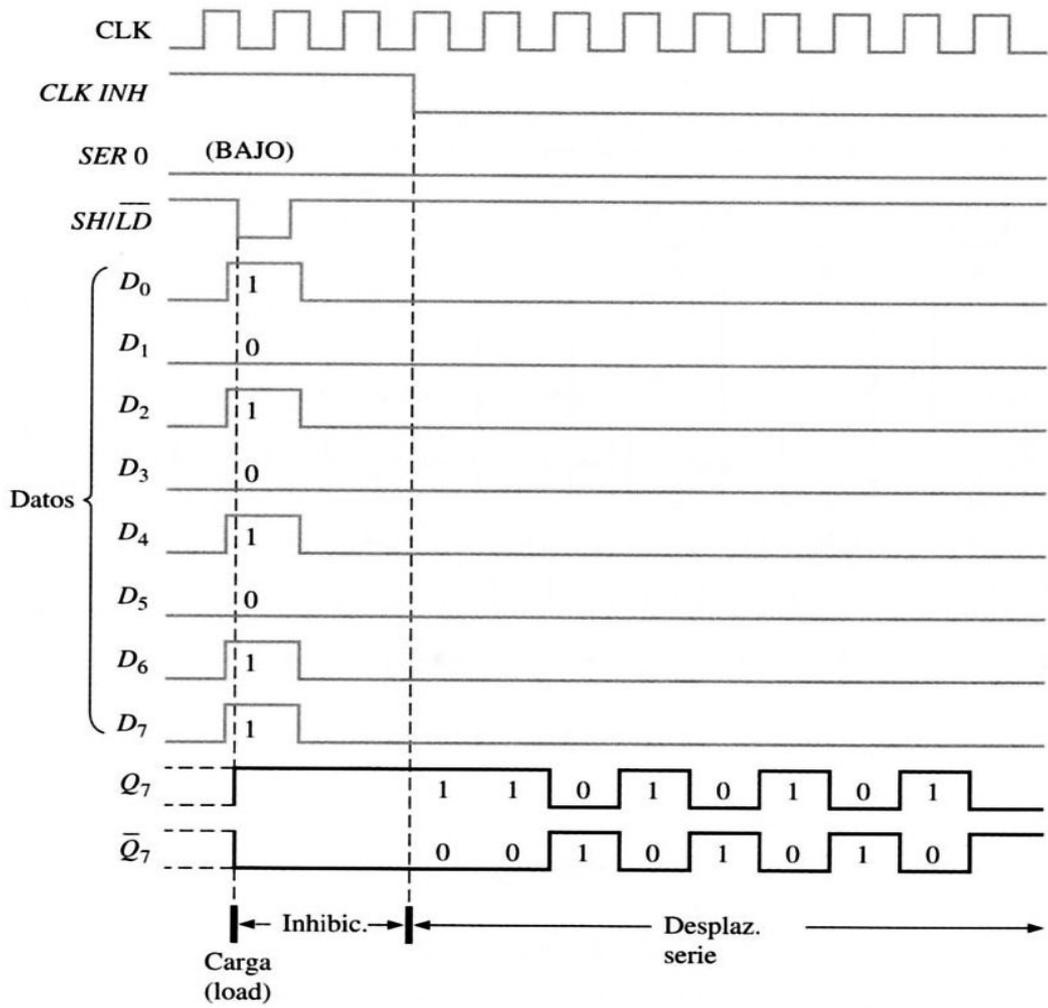


(a) Diagrama lógico



(b) Símbolo lógico

A próxima figura mostra um exemplo de uso do 74HC165.



Registrador de deslocamento de 4 bits com entradas paralelas (74HC195)

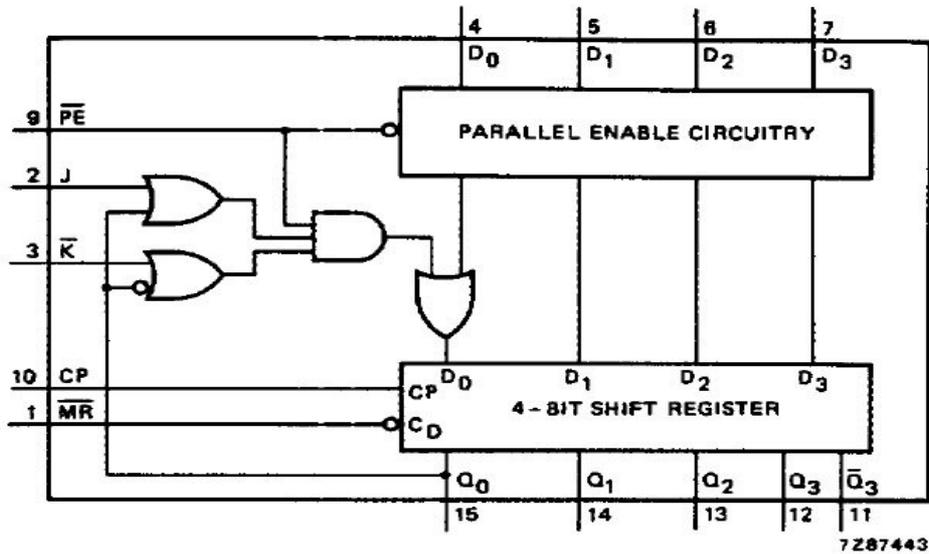


Fig. Diagrama funcional.

Este registrador pode ser usado para trabalhar com entradas e saídas paralelas. Como também dispõe de uma entrada série, pode ser usado para trabalhar com entrada e saída serial, ou entrada e saída paralela. Pode ser usado para trabalhar com entradas paralelas e saída série usando Q3 com saída.

Quando sua saída SHIFT/LOAD (SH/LD) está em nível lógico BAIXO (ou entrada /PE no caso do fabricante PHILIPS), os dados das entradas paralelas são introduzidos de forma síncrona durante uma transição positiva do sinal de clock (isto é, transição de nível lógico BAIXO para ALTO).

Quando SH/LD está em nível lógico ALTO, os dados armazenados internamente se deslocam para a direita (Q0 à Q3) sincronizados com o sinal de Clock.

As entradas J e K são as entradas série do primeiro estágio de entrada (primeiro FF), Q0. Q3 pode ser utilizado com saída serial de dados. Existe ainda a entrada CLR (ativo BAIXO) para resetar os FFs internos do registrador.

O diagrama no tempo a seguir, mostra como este registrador pode ser utilizado.

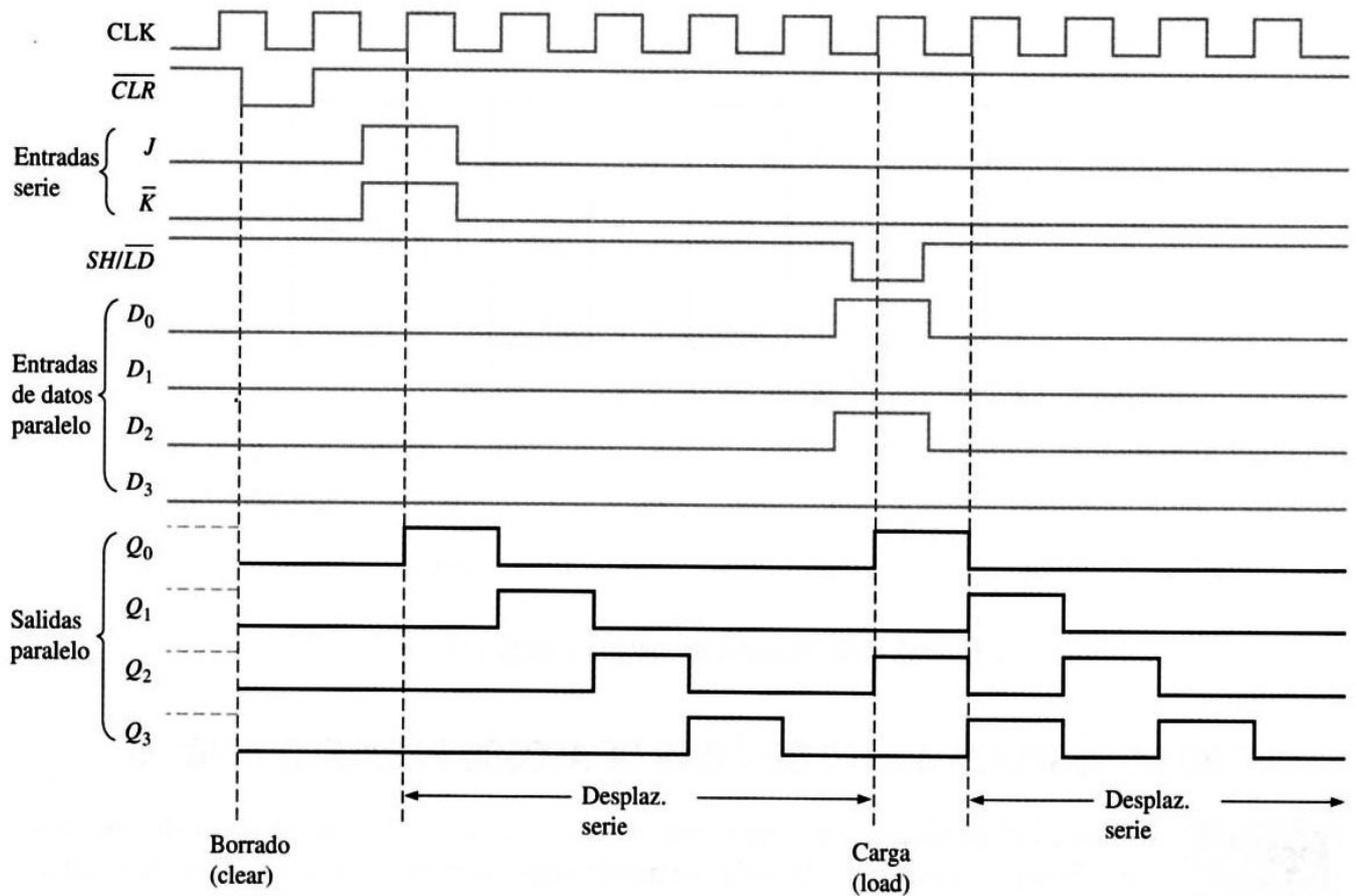
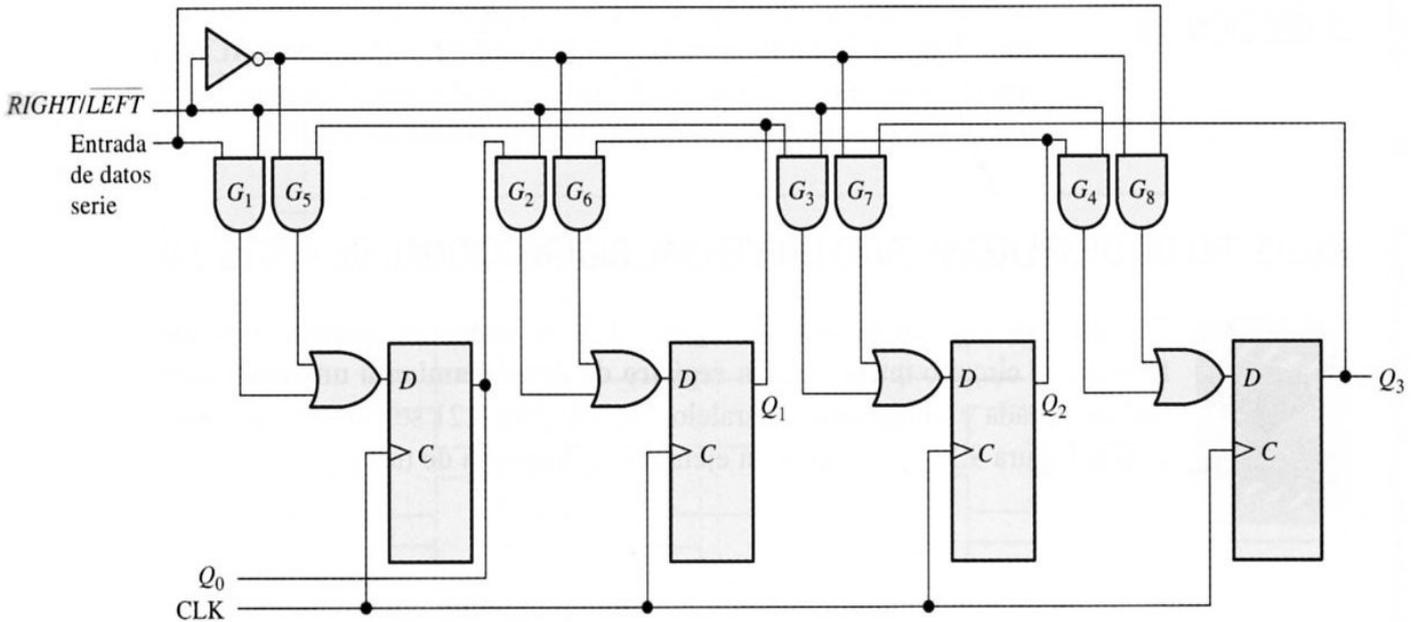


Fig. Diagrama no tempo mostrando uso do CI 74HC195.

Registrador de deslocamento bidirecional

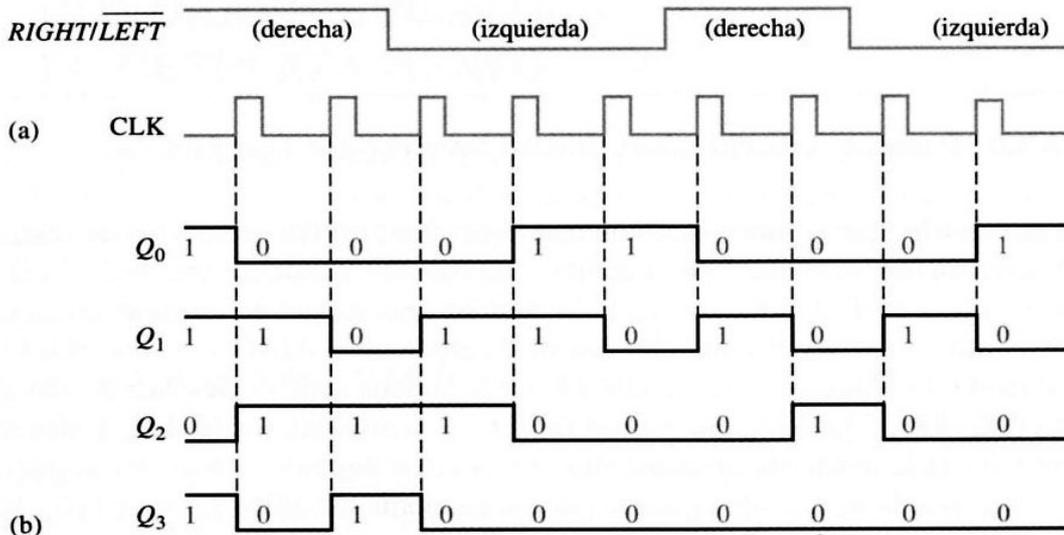
A figura abaixo mostra o caso geral de um registrador de deslocamento bidirecional. Um nível lógico ALTO na entrada de controle RIGHT/LEFT (direita/esquerda) permite que os bits de dados que estão dentro do registrador se desloquem para a direita, enquanto um nível lógico BAIXO faz com que os bits se desloquem para a esquerda.



Quando a entrada de controle RIGHT/LEFT está em nível lógico ALTO, as portas G1 à G4 se ativam, e o estado de saída Q de cada Flip-Flop passa para a entrada D do Flip-Flop seguinte. Quando se produz um pulso de Clock, os bits de dados se deslocam de uma posição para a direita.

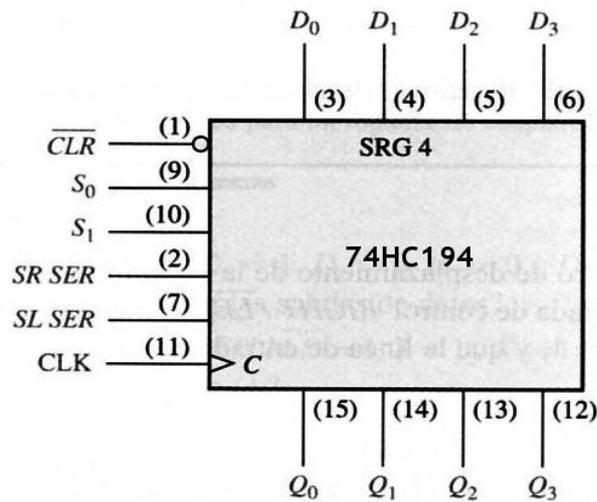
Quando a entrada de controle RIGHT/LEFT está em nível lógico BAIXO, as portas G5 à G8 se ativa, e a saída Q de cada Flip-Flop passa para a entrada D do Flip-Flop precedente. Quando um pulso de clock é recebido, os bits de dados se deslocam uma posição para a esquerda.

A figura à seguir demonstra o uso do circuito anterior.



Registrador de deslocamento universal bidirecional de 4 bits (74HC194)

Símbolo:



A carga paralela de dados é sincronizada com uma transição positiva do sinal de Clock e é obtida aplicando-se os 4 bits de dados às suas entradas paralelas (D0 à D4) juntamente com um nível lógico ALTO nas entradas (S0 e S1).

O deslocamento dos dados para a direita se obtêm de forma síncrona obedecendo a borda de subida do sinal de Clock quando S0 está em nível lógico ALTO e S1 está em nível lógico BAIXO. Neste modo, os dados seriais podem ser introduzido pela entrada série para deslocamento para a direita (SR SER). A entrada SR SER entra no estágio Q0.

Quando S0 está em nível lógico BAIXO e S1 m nível ALTO, os bits de dados se deslocam para a esquerda sincronizados com o sinal de Clock e novos dados seriais podem ser introduzidos pela entrada serial para deslocamento para a direita (SL SER). A entrada SL SER entra no estágio Q3.

A figura à seguir demonstra um exemplo de uso deste registrador de deslocamento.

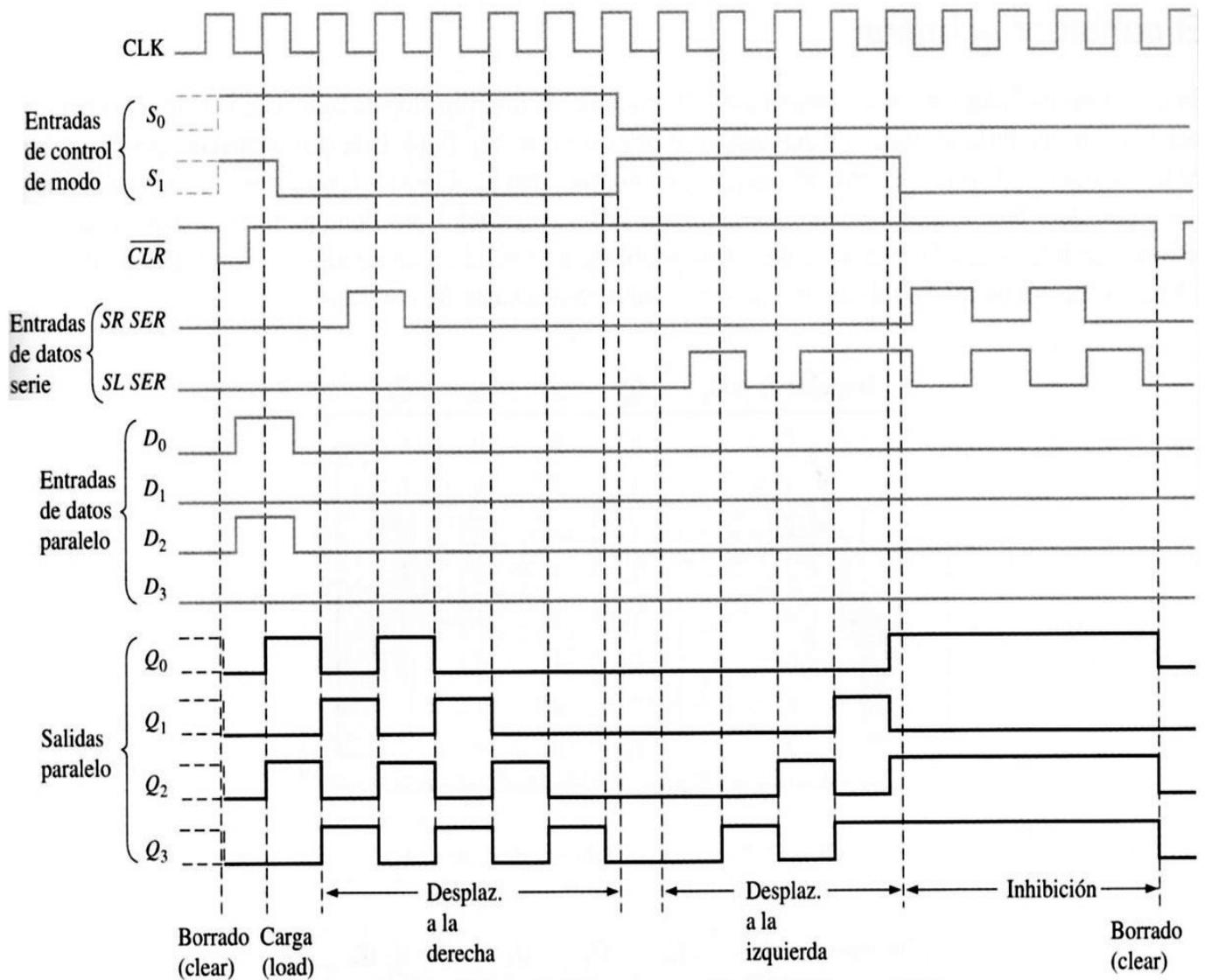


Fig. Exemplo de uso do Reg. Deslocamento Universal Bidirecional 74HC194.