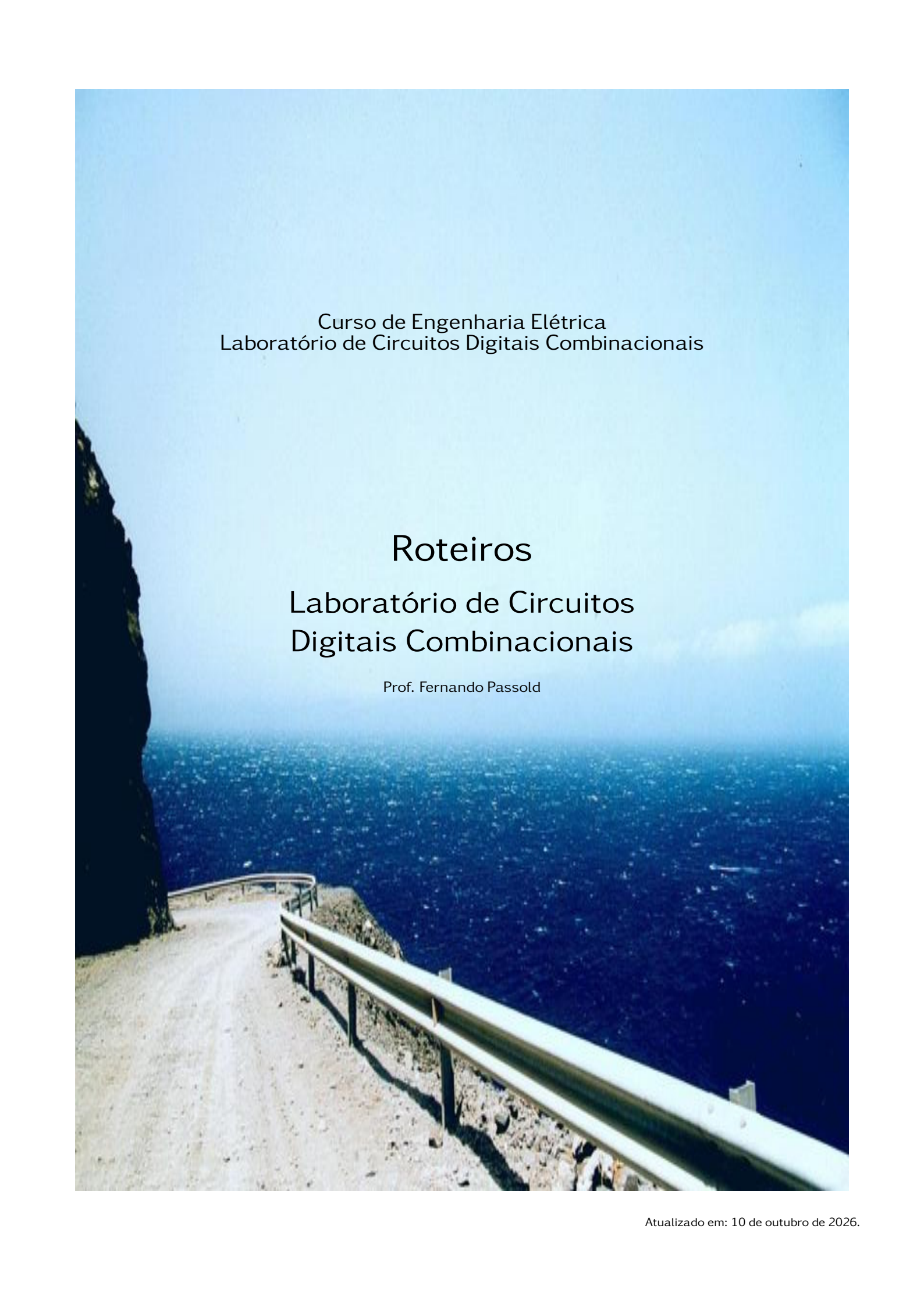


The background of the entire page is a photograph of a coastal road. On the left, a dark, rocky cliff face is visible. A light-colored gravel or dirt road curves along the edge of the cliff. A metal guardrail runs along the right side of the road, overlooking a vast, deep blue ocean. The sky is a clear, pale blue.

Curso de Engenharia Elétrica
Laboratório de Circuitos Digitais Combinacionais

Roteiros

Laboratório de Circuitos Digitais Combinacionais

Prof. Fernando Passold

“... acredito que a vida é uma coisa inteligente, que as coisas não acontecem por acaso.”
(Steve Jobs)



Este material foi desenvolvido para a disciplina de “Laboratório de Circuitos Digitais Combinacionais” do curso de Engenharia Elétrica da UPF. Trata de experimentos práticos apenas na área de Eletrônica Digital Combinacional.

Este material foi criado usando software livre, multiplataforma e de domínio público: LaTeX (pacote MiKTeX / MacTeX) e editor TeXmaker. Foi adotada a fonte sans serif.

G > ^ v

©Prof. Dr. Eng. Fernando Passold, 10 de outubro de 2026.

Índice

1	Portas Lógicas Básicas TTL	5
2	Comprovando Álgebra de Boole	7
3	Implementando XOR e NXOR usando portas NAND e NOR	9
4	Atrasos de propagação de sinais	11
5	DEC/Display de 7 segmentos	15
7	DEC 3/8 (74LS138) + Codificador de Prioridade (74LS148)	19
8	Função lógica: $F = \text{Menor}(A, B)$	23
9	Circuito Somador/Subtrator Binário	27
A	Guia do Estudante para <i>Protoboards</i>	31
B	Componentes Eletrônicos	33
C	Instrumentos de Bancada	37
D	Uso do Laboratório	43
E	Portas Lógicas Básicas	45
F	Analogia com Relés	47
G	CI's TTL	49
H	CI's CMOS	51
I	Parâmetros Elétricos de CI's TTL e CMOS	53
J	Código Gray	57

1 | Portas Lógicas Básicas TTL

1.1 Lista de Material

- 1 CI 7408;
- 1 CI 7432;
- 2 led's;
- 2 resistores de 330Ω;
- Fonte Alimentação TTL.

1.2 Objetivos

Iniciar a familiarização com circuitos integrados TTL (pinagens e comportamento), com a rotina de montagens em proto-board, a utilização de conjuntos led + resistor para monitorar estados lógicos e principalmente, comprovar as tabelas verdades das portas lógicas: AND (CI 7408) e OR (CI 7432).

1.3 Fundamentos Teóricos

Revisão dos parâmetros elétricos da família TTL:

Entrada: Nível lógico BAIXO: tensão $V_{IL} \leq 0,8$ Volts. Valores de tensão na entrada de uma porta lógica (V_{IL} : I=input, L=Low), menores do que 0,8V são interpretados como nível lógico 0.

Entrada: Nível lógico ALTO: tensão $V_{IH} \geq 2,0$ Volts. Valores de tensão na entrada de uma porta lógica (V_{IH}), maiores do que 2,0V são interpretados como nível lógico 1.

Saídas: Nível lógico BAIXO: tensão $V_{OL} \leq 0,4$ Volts. Valores de tensão na saída de uma porta lógica (V_{OL}), menores que 0,4 representam o estado lógico 0.

Saídas: Nível lógico ALTO: tensão $V_{OH} \geq 2,4$ Volts. Valores de tensão na saída de uma porta lógica (V_{OH} : O=Output, H=High) acima de 2,4V representam nível lógico 1.

Tensão de Alimentação: +5 Volts @ 5 %. Valores válidos quando a temperatura de operação positiva é menor do que 70°C. **Notar** que a maioria das fontes de alimentação já possui uma saída fixa de 5 V.

Correntes de Entrada, Nível lógico BAIXO: $I_{IL,max} \leq 1,6$ mA. A corrente na entrada de uma porta lógica no caso de nível lógico 0 máxima que um CI do tipo TTL vai exigir é da ordem de: $I_{IL,max} = 1,6$ mA.

Correntes de Entrada, Nível lógico ALTO: $I_{IH,max} \leq 40\mu A$. A corrente de entrada de uma porta lógica no caso de nível lógico 1 máxima exigida por estes CIs é da ordem de: $I_{IH,max} = 40\mu A$.

Correntes de Saída, Nível lógico BAIXO: $I_{OL,max} \leq 16$ mA a máxima corrente de saída que pode ser drenada de uma porta lógica no caso de nível lógico 0, $I_{OL,max} = 16$ mA.

Correntes de Saída, Nível lógico ALTO: $I_{OH,max} = 400\mu A$ a máxima corrente de saída que pode ser drenada de uma porta lógica no caso de nível lógico 1, $I_{OH,max} = 400\mu A$.

Pinagem – Encapsulamento DIP: contada a partir do canto inferior esquerdo e evolui no sentido anti-horário. A fig. 1.1 mostra a numeração dos pinos num típico encapsulamento DIP.

Pinos de alimentação: GERALMENTE (mas nem sempre), o pino 14 é ligado em +5V (+Vcc) e o pino 7 é aterrado (GND).



Figura 1.1: Encapsulamento DIP e numeração dos pinos.

OBSERVAÇÃO: Note que a capacidade de drenar corrente de uma porta TTL é baixa e que depende do nível lógico em que se encontra. A maior capacidade de dreno de corrente ocorre quando a saída de uma porta TTL está em nível lógico 0, e mesmo assim é de apenas 16mA, o que quer dizer que é apenas o necessário para fazer acender um LED com seu devido resistor, ligado em série entre a saída da porta lógica e o +Vcc da Fonte de alimentação. Realizando rapidamente o cálculo para o led, estimando que o mesmo necessite de 1,8V para acender e que consume 10mA para produzir um brilho razoável, podemos calcular o resistor que é necessário colocar em série na saída de uma porta TTL (detalhe: o LED acende em nível lógico baixo na saída da porta son teste – ocasião em que a porta TTL consegue drenar maior corrente de saída, ver fig. 1.2)!

$$R_{min} = \frac{5 - 1,8}{0,010} = 320\Omega$$

É adotado o valor comercial disponível mais próximo: 330Ω.

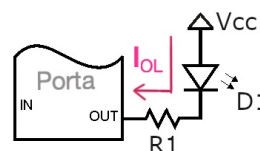


Figura 1.2: Led na configuração ATIVO BAIXO.

1.4 Parte Prática

Primeira Parte

Objetivo: Comprovar o funcionamento de uma porta AND usando CI TTL (74_08). Com o auxílio do circuito led + resistor (em configuração ATIVO BAIXO), comprove a tabela verdade de uma porta AND.

Atenção: SiGa EstA Sequência DE TeStEs:

- 1 Inicie a montagem na proto-board completando primeiramente as conexões da fonte de alimentação com os pinos de alimentação de cada CI que pretende utilizar (cuidado para não inverter polaridades - costuma ser "fatal").
- 2 Sugere-se estabelecer nas barras laterais do protoboard uma linha de alimentação "+Vcc" (fio vermelho) e no outro lado, a linha "GND" (terra, fio preto) – isto facilita bastante as montagens (esta e as futuras) e a realização de testes!

- ③ **Monte o circuito relacionado com o led** acendendo em **ativo baixo**, isto é, o mesmo acende quando percebe nível lógico BAIXO na sua entrada. Para isto conecte o resistor de 330Ω à linha de +Vcc. Conecte a outra ponta do resistor ao Ânodo (A+) do led. Conecte o Cátodo (K-) do led à um fio cuja ponta será usada como o que doravante será denominado “**ponta de prova**” lógica.
- ④ **Teste o circuito do led** (para confirmar que não inverteu a polaridade do led ou tenha cometido outros erros) conectado a ponta de prova à linha de GND. Se tudo estiver correto o led deve acender sem problemas. Caso contrário, revise as conexões realizadas (não adianta tentar seguir em frente se o led não acender). Não esqueça de alimentar o circuito (proto-board).
- ⑤ **Conecte agora a ponta de prova lógica à uma das saídas da porta AND**, sem realizar nenhuma conexão física nas entradas desta porta AND. Isto mesmo, **deixe as duas entradas desta porta AND propositalmente sem conexão ou “flutuando”**. Alimente a pastilha e **Deduza** o nível lógico apresentado na sua saída (ALTO ou BAIXO?).
Complete: Que nível lógico um C.I. TTL considera para entradas “flutuando”? _____
 Como chegou a esta conclusão? _____

- ⑥ **Agora sim, comece a simular níveis lógicos na entrada a porta AND**. Para introduzir nível lógico BAIXO a certa entrada, basta conectar esta entrada à linha de GND da sua montagem. Para introduzir nível lógico ALTO numa entrada, conecte esta entrada à linha de +Vcc da sua montagem.

COMPLETE a tabela a seguir usando a sequencia sugerida, completando como “0” (ou “L”) ou “1” (ou “H”) para os níveis lógicos encontrados:

Sequência Prática	Entradas		Saídas	
	A	B	AND	OR
①	Flutuando	Flutuando		
②	Flutuando	0		
③	1	Flutuando		
④	0	0		
⑤	0	1		
⑥	1	0		
⑦	1	1		

Segunda Parte

Objetivo: Comprovar a tabela verdade para uma porta OR (saída de uma das portas OR do CI 7432). Siga a sequência análoga ao do item

anterior para completar a tabela verdade relacionada com a porta OR.

1.5 Dados

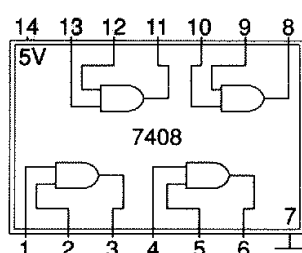
Pinagens dos componentes utilizados – ver figura 1.3.

1.6 Completar

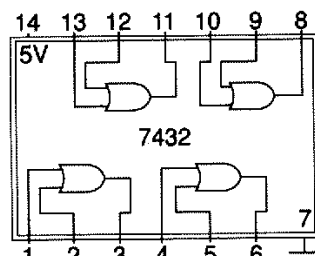
1. Calcule o valor do resistor que deve ser colocado em série com o Led comum para fazê-lo acender com d.d.p. de 5 Volts: _____
2. Mostre o desenho do circuito elétrico de uma porta lógica TTL alimentando um **led** na configuração “**ativo alto**”. Inclua no desenho as correntes envolvidas. Este circuito pode ser usado na prática? Por que sim (ou não)? _____
3. Mostre o desenho do circuito elétrico de uma porta lógica TTL alimentando um **led** na configuração “**ativo baixo**”. Inclua no desenho as correntes envolvidas. Este circuito pode ser usado na prática? Por que sim (ou não)? _____
4. Como se comporta uma porta AND se uma de suas entradas estiver em nível lógico BAIXO? _____
5. Como fazer para a saída de uma porta AND se manter em nível lógico ALTO? _____
6. Como fazer para a saída de uma porta OR se manter em nível lógico BAIXO? _____

1.7 Mais Questões

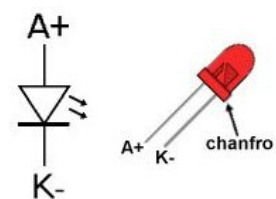
1. Como poderiam ser monitorados níveis lógicos usando Led se ao invés de usarmos pastilhas TTL tivéssemos usado pastilhas CMOS? Mostre ao menos um circuito elétrico como exemplo.
2. Mostre o circuito elétrico equivalente a uma porta AND usando apenas 2 relés com um par de contatos NF/NA (Normalmente Fechado/Normalmente Aberto) com saída para uma lâmpada simples.
3. Mostre o circuito elétrico equivalente a uma porta OR usando apenas 2 relés com um par de contatos NF/NA (Normalmente Fechado/Normalmente Aberto) com saída para uma lâmpada simples.



(a) CI 7408 – 4 × AND(2).



(b) CI 7432 – 4 × OR(2).



(c) Led.

Figura 1.3: Pinagens de componentes utilizados.

2 | Comprovando Álgebra de Boole

Lista de Material

- 1 CI 7404 (6 × NOT);
- 1 CI 7408 (4 × AND(2));
- 1 CI 7432 (4 × OR(2));
- 2 led's;
- 2 resistores de 330Ω;
- fonte de alimentação TTL (5 Volts).

2.1 Objetivos

Comprovar teoremas de álgebra booleana.

2.2 Fundamentos Teóricos

Principais propriedades de álgebra booleana:

- a) $A \cdot 0 = 0$ $A \cdot 1 = A$
- b) $A + 0 = A$ $A + 1 = 1$
- c) $\overline{A \cdot B} = \bar{A} + \bar{B}$
- d) $\overline{A + B} = \bar{A} \cdot \bar{B}$

2.3 Parte Prática

Montar (separadamente) os 2 circuitos mostrados na figura 2.1. Comprovar pelo levantamento da tabela verdade que os 2 circuitos realizam a mesma função. Use led's + resistores para comprovar o nível lógico na saída dos circuitos (lembre-se: o led deve acender em nível lógico BAIXO – configuração ATIVO BAIXO).

Recomenda-se que o estudante complete na própria figura 2.1 os números dos pinos de entrada e saída usados em cada pastilha. Recomenda-se também que o estudante marque no figura 2.1 as conexões físicas já realizadas. Recomenda-se ainda que a montagem inicie pela ligação das alimentações das pastilhas (tanto os pinos de +Vcc quanto GND) e que depois o estudante complete as ligações faltantes de forma a compor os circuitos mostrados na figura 2.1.

As pinagens dos CI's utilizados aparece na figura 2.3.

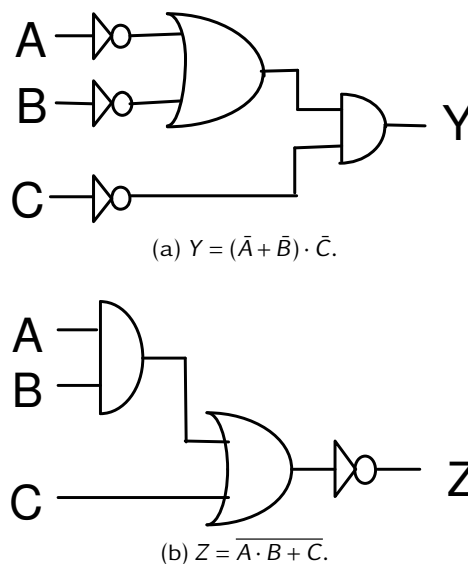


Figura 2.1: Circuitos à serem montados.

2.4 Completar

Os itens a seguir devem ser completados durante a sala de aula.

Circuitos à serem montados:

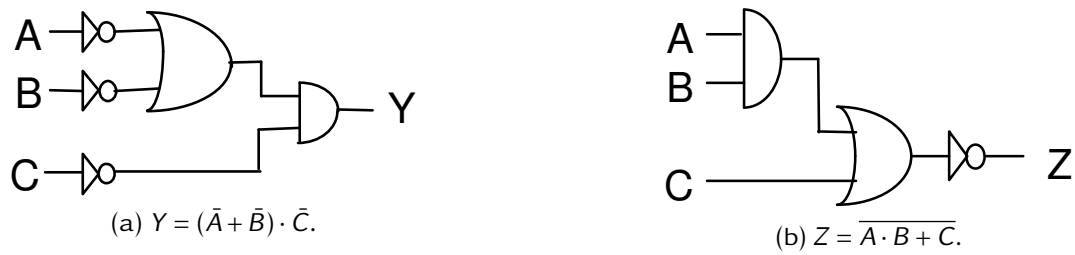


Figura 2.2: Circuitos à serem montados.

Completar:

1. Tabela verdade à seguir para os 2 circuitos da fig. 2.1 ou fig 2.2.

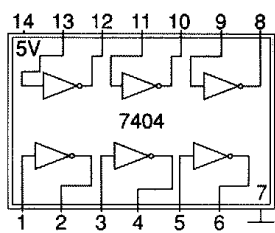
Ref	Entradas			Saídas Circuitos	
	A	B	C	Y	Z
0	0	0	0		
1	0	0	1		
2	0	1	0		
3	0	1	1		
4	1	0	0		
5	1	0	1		
6	1	1	0		
7	1	1	1		

(a) Resultados esperados antes da montagem.

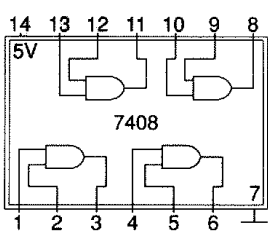
Ref	Entradas			Saídas Circuitos	
	A	B	C	Y	Z
0	0	0	0		
1	0	0	1		
2	0	1	0		
3	0	1	1		
4	1	0	0		
5	1	0	1		
6	1	1	0		
7	1	1	1		

(b) Resultados obtidos depois da montagem.

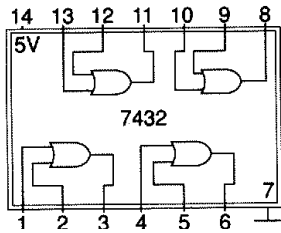
2. Provar usando álgebra booleana que os 2 circuitos realizam a mesma função lógica:



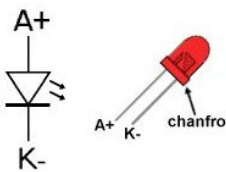
(a) CI 7404 – 6 × NOT.



(b) CI 7408 – 4 × AND(2).



(c) CI 7432 – 4 × OR(2).



(d) Led.

Figura 2.3: Pinagens dos componentes utilizados.

3 | Implementando XOR e NXOR usando portas NAND e NOR

Lista de Material

- 2 × CI 74LS00 (4 × NAND(2));
- 2 × CI 74LS02 (4 × NOR(2));
- 2 led's;
- 2 resistores de 330Ω;
- Fonte de Alimentação TTL (5 Volts @ 5%).

3.1 Objetivos

Projetar circuitos usando álgebra booleana.

3.2 Fundamentos Teóricos

Principais propriedades de álgebra booleana:

1. $A \cdot 0 = 0$ $A \cdot 1 = A$
2. $A + 0 = A$ $A + 1 = 1$
3. $\overline{A \cdot B} = \overline{A} + \overline{B}$
4. $\overline{A + B} = \overline{A} \cdot \overline{B}$

3.3 Parte Prática

Primeira Parte

Projete e monte uma **porta XOR**, usando apenas portas lógicas NAND de 2 entradas.

Dica: uma porta XOR trabalha como um detector de desigualdade, desempenhando a seguinte função lógica:

$$Y = A \oplus B = \overline{A}B + A\overline{B} \quad (3.1)$$

Segunda Parte

Monte uma porta **NXOR** usando apenas portas lógicas NOR de 2 entradas. Esta porta desempenha a seguinte função lógica:

$$Y = A \otimes B = AB + \overline{A}\overline{B} \quad (3.2)$$

Atenção para a pinagem do CI 7402 (diferente do que poderia ser esperado).

3.4 Dados

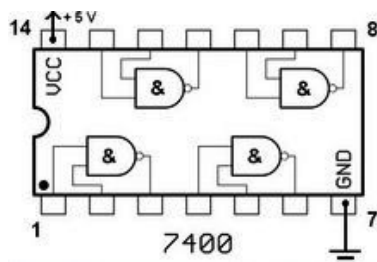
Pinagens dos CI's utilizados – figura 3.1. Tabela verdade das portas XOR e NXOR:

Entradas		Saídas	
A	B	XOR	NXOR
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

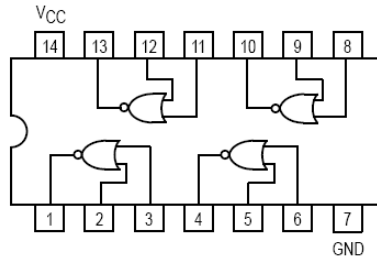
3.5 Completar (Durante a Aula)

Antes de iniciar qualquer montagem preencha com o que pede abaixo:

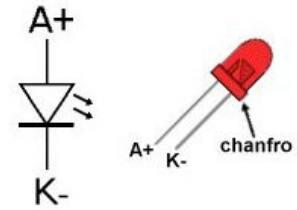
- 5.1) Deduza usando álgebra de Boole, a síntese de uma porta XOR usando um número mínimo de portas NAND de 2 entradas. Finalize apresentando o diagrama elétrico (circuito) final obtido (item 3.3.1) para montagem em sala de aula.
Dica: Partir da equação (3.1).
- 5.2) Deduza usando álgebra de Boole, a síntese de uma porta NXOR usando um número reduzido de portas NOR de 2 entradas. Finalize apresentando o diagrama elétrico (circuito) final obtido (item 3.3.32) para montagem em sala de aula.
Dica: Partir da equação (3.2).



(a) CI 7400 – 4 × NAND(2).



(b) CI 7402 – 4 × NOR(2).



(c) Led.

Figura 3.1: Pinagens dos componentes utilizados.

.....

Universidade de Passo Fundo
Lab. de Circuitos Digitais I

Engenharia Elétrica
Prof. Fernando Passold

Aluno(a)₁:

Lab. #3. Implementando XOR e NXOR

Aluno(a)₂:

Data:

Aproveite o espaço abaixo para incluir as deduções e diagramas elétricos referentes aos itens 5.1 (síntese da porta XOR) e 5.2 (síntese da porta NXOR):

- Síntese da porta XOR usando apenas portas NAND(2):

$$Y = A \oplus B = \overline{A}B + A\overline{B}$$

- Síntese da porta NXOR usando apenas portas NOR(2):

$$Y = A \otimes B = \overline{A}B + A\overline{B}$$

4 | Atrasos de propagação de sinais

Lista de Material

- 1 CI 7404 (6 × NOT's);
- 1 CI 7408 (4 × AND(2));
- 1 led;
- 1 resistor de 330Ω ;
- gerador de funções (≥ 2 [MHz]) + osciloscópio (≥ 60 [MHz]) + Fonte Alimentação TTL (5 Volts @ 5%) + pontas de prova.

4.1 Objetivos

Comprovar o atraso de propagação de sinal existente em portas lógicas e entender seu possível impacto num circuito digital, determinando a frequência máxima de operação confiável de um circuito digital.

4.2 Parte Prática

Monte o circuito mostrado na figura 4.1. Notar que o **led só serve para efeitos de teste inicial** do circuito. Com o gerador ajustado para uma frequência tão baixa quanto 2 [Hz], o led deve piscar 2× por segundo. Montar o led na configuração **ativo baixo**. Naturalmente que depois, para medição do atraso de propagação, o gerador deve ser ajustado para operar próximo do seu limite (acima de 1 [MHz]) gerando um onda quadrada não muito distorcida e então o led vai parecer que está ativo todo o tempo. Obs.: **usar a saída TTL do gerador de si-**

nais (senão os CIs das portas NOT e AND podem ser danificados por sobretensão nas suas portas de entrada).

Voltando à figura 4.1, conecte o ponto A do circuito no gerador de sinais (onda quadrada, **saída TTL**), ajustando o mesmo para gerar uma onda quadrada, inicialmente na faixa dos 2 Hz apenas para ver o led na saída da porta AND piscar (e se certificar que realizou a montagem sem problemas). Depois passe para sua frequência máxima de operação (≈ 2 MHz), ou numa frequência ligeiramente abaixo para evitar um sinal com muita distorção harmônica (estudar série de Fourier).

Com o auxílio de um osciloscópio **meça** o atraso de propagação real existente entre o ponto A (entrada do circuito = primeira entrada da porta AND) e o ponto B (segunda entrada da porta AND, resultado do cascadeamento, proposital, de 6 portas NOT's). Use os 2 canais do osciloscópio: conecte o canal 1 no ponto A (atua como referência) e o canal 2 no ponto B. Lembrar de ajustar o osciloscópio para observar os 2 canais ao mesmo tempo ("BOTH"). Ajuste sua base de tempo para acompanhar a frequência máxima de operação do gerador de sinais e após, enquadre os dois sinais (CH 1 e CH 2) na tela, de tal forma a perceber o atraso de propagação entres os mesmos (ajuste as amplitudes de entrada para que ocupem a maior porção na tela do osciloscópio).

As pinagens dos CI's utilizados aparecem na figura 4.4.

Dica:

Para medir com um pouco mais de precisão o atraso existente entre estes dois sinais aconselha-se o acionamento do botão de "Zoom" ou $\times 10$, no ajuste da base de tempo do osciloscópio – não esquecer de levar em consideração a ativação deste botão no momento de determinar o atraso total das 6 portas NOT ($t_{p_{total}}$).

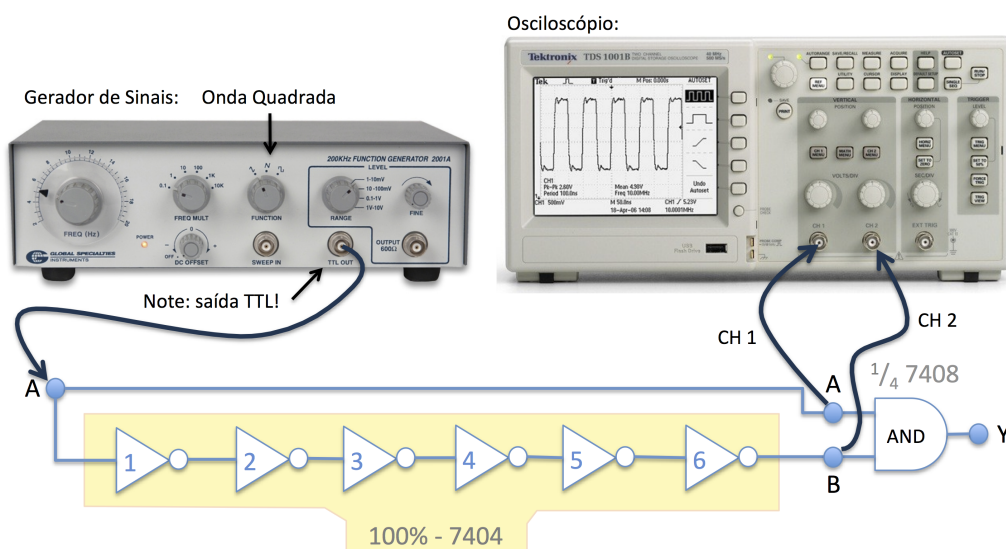


Figura 4.1: Circuito com atraso.

4.3 Complete

- 1) Anote todos os dados (letras) do CI utilizado para a porta NOT (por exemplo: SN74LS04N) – será necessário para levantar parâmetros reais do CI (DataSheet ou PDF do fabricante).

☞ Código completo do CI: 74__04__

- 2) Complete a figura 4.3(a) com as formas de onda encontradas na prática incluindo o sinal do gerador de funções (sinal “A”), o sinal atrasado (sinal “B”) e conclua como deveria ser o sinal resultante na saída “Y” deste circuito.

Obs.: desconsidere a distorção criada pelo gerador de sinais (ponto “A”) e a distorção causada como resposta em alta frequência resultado do cascadeamento das 6 portas NOT (ponto “B” do circuito) – aproxime para uma onda quadrada com uma leve rampa de subida e leve rampa de descida (ver figura 1).

- 3) Complete com o **valor total** de atraso de propagação de sinais verificado entre os pontos A e B do circuito:

Atraso $t_{pHL_{total}}$: _____

Atraso $t_{pLH_{total}}$: _____

Atraso médio observado na prática ($t_{p_{total}}$): _____

Note que: (ms) = $\times 10^{-3}$ (s), (μ s) = $\times 10^{-6}$ (s) e (ns) = $\times 10^{-9}$ (s).

- 4) Acesse a página do fabricante do CI 74__04 adotado e baixe o seu PDF (ou informações) ou então busque pelo Data-Sheet presente no laboratório ou Almoxarifado. A seguir, responda ao que se pede.
- 5) Indique o fabricante e a série TTL da pastilha 7404 e informe os atrasos de propagação indicados pelo fabricante desta pastilha. Entre eles: t_{pLH} (propagation delay between Low to High logic level transition) e t_{pHL} (propagation delay between High to Low transition). Devem aparecer os valores mínimos, máximos e típico. Note que estes dados vão aparecer na seção “Switching Characteristics” ou “AC Characteristics” – ver fig. 4.2.

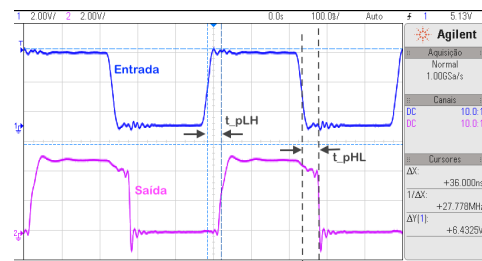


Figura 4.2: Atrasos de propagação verificados na prática.

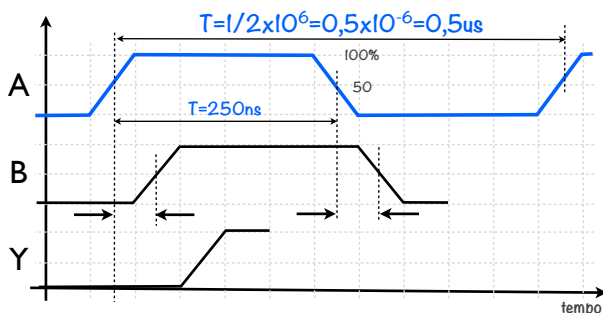
Fabricante: _____
 Família TTL: _____
 t_{pLH} : _____
 t_{pHL} : _____
 $t_{pMédio}$: _____

- 6) Com base no maior valor entre t_{pLH} e t_{pHL} informado pelo fabricante da pastilha 7404 (o mais conservador), determine a frequência máxima, $f_{máx_{teórico}}$, de operação esperada para o circuito da figura 4.1. Ou seja, **determine à partir de qual frequência** (da onda quadrada colocada na entrada do circuito), a porta AND **não é mais capaz de comutar para nível lógico ALTO**. Apresente os cálculos para $f_{máx_{teórico}}$. Este seria o pior caso, considerando um componente mau fabricado (estatisticamente 95% dos componentes se encontram dentro do valor típico – curva gaussiana).

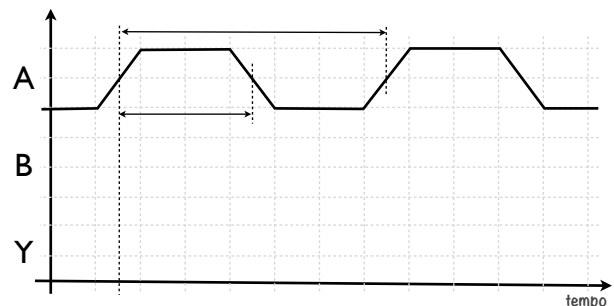
$f_{máx_{teórico}} =$ _____

- 7) **Mais importante:** Apresente num **diagrama no tempo** as formas de onda esperadas para os pontos A, B e Y – esboço – mostrando o que acontece quando $f = f_{máx_{teórico}}$ – use a figura 4.3(b). Aproveite para incluir na figura os valores temporais envolvidos e comparar com o valor de $f_{máx_{prático}}$.

$f_{máx_{prático}} =$ _____

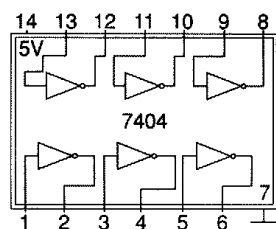


(a) Atrasos verificados na prática ($f < f_{máx}$).

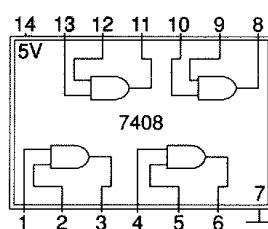


(b) Esboço para o caso de $f = f_{máx_{teórico}}$.

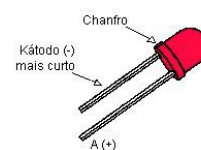
Figura 4.3: Diagramas no tempo (para completar ☞).



(a) CI 7404 – 6 x NOT's.



(b) CI 7408 – 4 x AND(2).

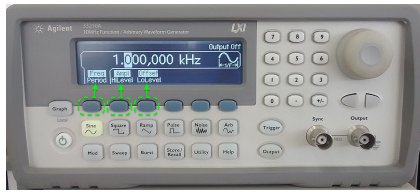


(c) Led.

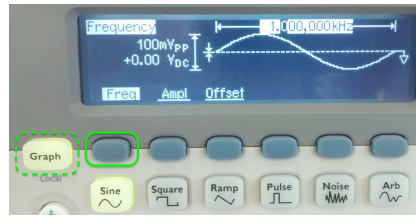
Figura 4.4: Pinagens dos componentes utilizados.

4.4 Uso do Gerador de Sinais

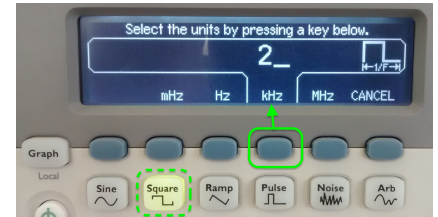
A figura 5.7 ilustra como ajustar o gerador de sinais.



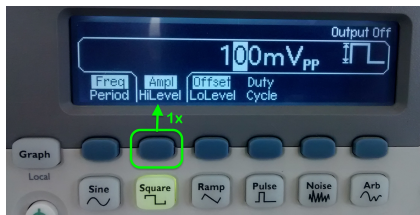
(a) Tela inicial (ajustes de fábrica). Para continuar aperte qualquer botão como **Freq**, **Ampl** ou **Offset**.



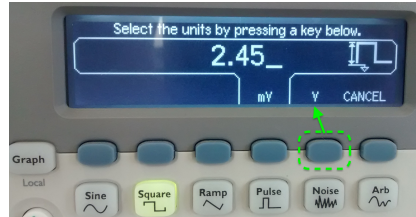
(b) Aperte o botão associado com **Freq** da figura anterior (a) para ajustar a frequência. Note que inicialmente o gerador gera um senóide de 1,0 KHz com amplitude bem baixa (100 mVpp). O botão **Graph** pode estar ativado ou não.



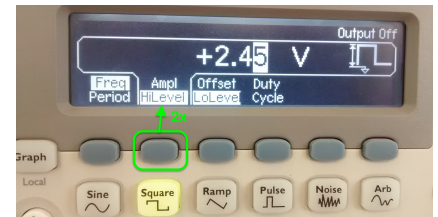
(c) Ajuste inicial de Frequência. Use o teclado numérico para digitar diretamente um valor (use 2_ **KHz** para ajustes com osciloscópio ou 2 **Hz** para uso no laboratório). Repare na escala desejada. Eventualmente o botão **Square** já pode ter sido pressionado.



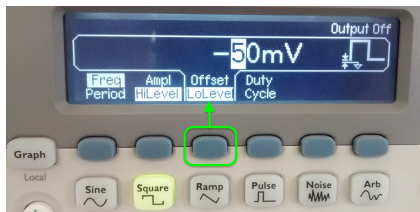
(d) Ajustando a amplitude da onda. Aperte o botão **Ampl** na tela da figura (a).



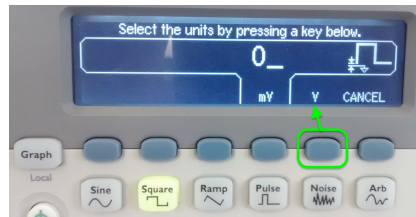
(e) Digite um valor como 2.45_ (Volts) para amplitude de pico da onda à ser gerada ($2 \times 2,45 = 4,9$ Volts). Atente para apertar o botão **V** para sair da escala de fábrica em mVolts.



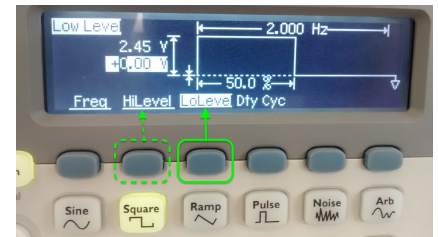
(f) Repare que se o botão **Ampl** da figura (d) for pressionado 2x o valor para **HiLevel** continua sendo +2.45 V (resultado de um provável bug de software na interface do equipamento).



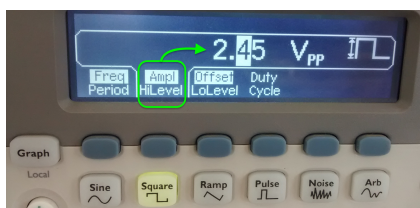
(g) Ajustando o **LoLevel** da onda. Na tela da figura (a) aperte 2x o botão **Offset**. Note que de fábrica teríamos um valor negativo de -50mV. Tensões negativas de entrada num circuito digital podem queimar componentes!



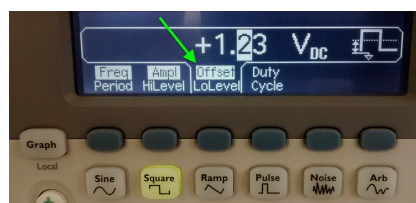
(h) Digite o valor 0_ e aperte o botão **V** para que o gerador altere este valor para 0,0 Volts.



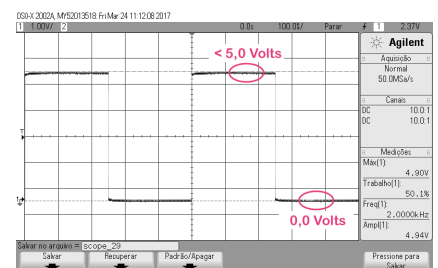
(i) Confirme (verifique) que **LoLevel** = 0.00 V e que **HiLevel** = 2.45 V. Para facilitar, o botão **Graph** pode estar ativado.



(j) Note que **Ampl** deve continuar valendo 2,45 Volts (o mesmo valor para **HiLevel**!)



(k) Note que o valor para **OffSet** ficou em 1,23 V (devido ao bug comentado anteriormente – deveria ter ficado em $4,9/2 = 2,45$ Volts). Mas **LoLevel** permanece em 0,00 V como é o desejável.



(l) Use o osciloscópio para confirmar a onda quadrada nível TTL sendo gerada. Não esquecer de ativar botão **Output** no gerador de sinais para liberar a saída do gerador.

Figura 4.5: Dicas para uso do gerador de sinais Agilent 33210A 10 MHz.

5 | DEC/Display de 7 segmentos

Lista de Material

Observação.: é o estudante que deve optar por usar display de cátodo ou ânodo comum e correspondente CI DEcodificador – ver tabela 5.1.

➡ Display de Cátodo Comum (Ativo ALTO)	Display de Ânodo Comum (Ativo BAIXO)
Por exemplo { Lc5221-11-ewa050, ou Lsd230ag-20, ou Lsd039ag-20	Por exemplo: { Wcn1-1056sr-a13r, ou Lsd039bg-20, ou SA15-11SRWA
➡ CI 74LS48 ⁽¹⁾	CI 74LS47 ou CI 74LS46;
➡ 0 (zero) resistores	7x resistores de 330Ω.
➡ 1 x CI 7493: Contador binário assíncrono;	
➡ Gerador de Sinais, saída TTL, freq. < 30 Hz;	
➡ Fonte de Alimentação, saída TTL;	

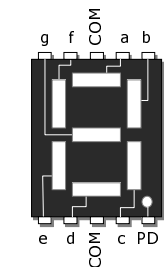
Obs.: (1) O CI 74LS48 já traz resistores de saída incorporados internamente (porém na faixa de 1.2KΩ).

Tabela 5.1: Seleção dos componentes.

5.1 Objetivos

Aprender a usar um CI Decodificador para Display de 7 segmentos.

5.2 Fundamentos Teóricos



Neste laboratório trabalharemos com Displays de 7 segmentos e CIs Decodificadores para este tipo de de Display. A pinagem típica de um display aparece na figura. Note que o CI DED/Display possui um pino de saída para cada um dos segmentos do display (de a à g).

Existem 2 tipos de displays de 7 segmentos. O que varia entre eles é a forma como seus leds são ligados internamente – ver figura 1 e 2 a seguir.

Note que:

➡ Display de **Ânodo** comum : os terminais comuns, "COM", estão preparados para ser ligados ao +Vcc. Repare que os ânodos dos leds (terminal A ou "+") deste display estão interligados num mesmo ponto, comum, pronto para ser conectado ao +Vcc. Cada segmento deste display pode ser considerado ATIVO BAIXO: $\bar{a}, \bar{b}, \dots, \bar{g}$ (ver fig. 5.1).

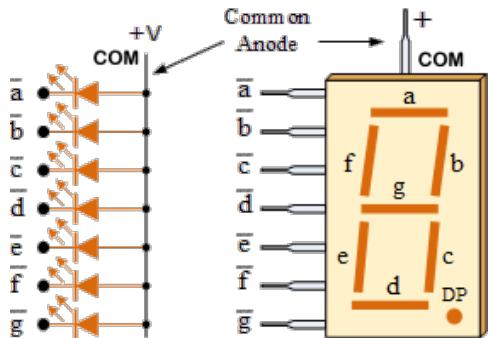


Figura 5.1: Display de Ânodo comum (COM=+Vcc).

➡ Display de **Cátodo** comum : neste display, os Cátodos (terminal "K" ou "-") dos seus leds (um para cada segmento) é que já se apresentam interligados internamente num mesmo ponto comum, o terminal "COM". Como se trata do Cátodo, estes terminais (os "COM's") devem ser conectados ao terra (GND). Se pode dizer que os segmentos deste display se apresentam na configuração ATIVO ALTO: $a, b, \dots, g$ (ver fig. 5.2).

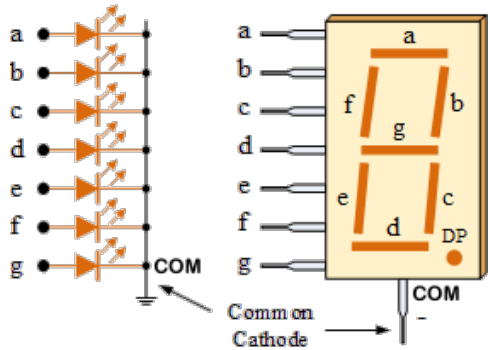


Figura 5.2: Display de Cátodo comum (COM=GND).

Atenção: Qualquer tipo de display de 7-Segmentos exige resistores em série para cada um de seus segmentos de forma a limitar a d.d.p. sobre cada led (segmento) interno, a uma tensão não superior à 1,8 Volts, sob risco de queima daquele segmento!.

O CI DEC/Display que vai trabalhar com um dos dois tipos de Displays mencionados anteriormente, contem um circuito digital combinacional interno que decodifica (transforma) a combinação dos 4 bits aplicados às suas entradas binárias: *DCBA*, na correspondente combinação de segmentos de *a* à *g* (ou $\bar{a}$ à $\bar{g}$ – dependendo do tipo de Display). A entrada *D* é a mais significativa (MSB) (ou equivalente à 2^3) e a entrada *A*, seria a menos significativa (LSB ou equivalente à 2^0).



Detalhe: o DEC adotado deve ser compatível com o display que se quer utilizar, porque suas saídas podem ser em ATIVO BAIXO (funcionam com display de Ânodo comum (+Vcc comum)) ou em ATIVO ALTO (que trabalham com displays de Cátodo comum (GND comum)). Uma eventual inversão de pares DEC–Display pode implicar na queima do Display!

Os CIs 7446 e 7447 exigem resistores para baixar a tensão aplicada sobre os leds dos segmentos do display e só trabalham com displays do tipo **ânodo comum** – ver figuras 5.5(a) e 5.6(a).

Já o CI 74LS48 trabalha apenas com displays de **cátodo comum**, suas saídas para os segmentos são ATIVO ALTO: *a, b, ..., g*. Além disto, este CI em particular (o 74LS48) **já traz incorporado internamente resistores** para baixar a d.d.p. aplicada sobre cada segmento do display de cátodo comum que será usado para trabalhar com o mesmo – ver figuras 5.5(b) e 5.6(b).

Note que os DEC's/Display trabalham apenas com **código "BCD válido"**, ou seja, apenas operam corretamente para valores binários aplicados às suas entradas, variando entre 0 à 9 (ou $0000_{(2)} = 0_{(10)}$ à $1001_{(2)} = 9_{(10)}$). Para valores fora desta faixa são gerados caracteres estranhos no display – ver fig. 5.3.

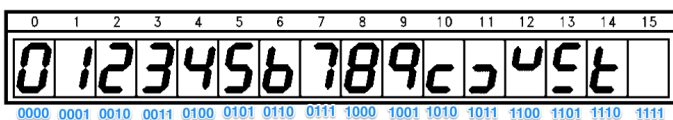


Figura 5.3: Caracteres esperados no display pelos DEC's comerciais 7447/7448.

Um DEC/Display possui ainda 2 terminais especiais (acompanhar pela fig. 5.6) como o:

- **LT=Lamp Test** que serve para testar todos os segmentos do display, isto é, faz com que todos os segmentos do display sejam ativados. Este pino pode ser útil para testar a "saúde" tanto do CI DEC/Display quanto do próprio Display conectado ao mesmo. Notar que *LT* é normalmente ATIVO BAIXO, assim, este pino deve ser mantido à +Vcc para uso normal do display.
- a entrada **BI=Blank-Input** (pino 4): quando ativada, faz com o display permaneça apagado (desativado) quando o código BCD presente na entrada do DEC/Display for igual à zero. Esta função é útil para suprimir de forma automática os zeros à esquerda num painel de um instrumento composto por vários displays de 7-Segmentos. Ao invés de aparecer: 0000.23 KHz aparece então .23 KHz. Normalmente esta entrada é do tipo ATIVO BAIXO, o que significa que se queremos que o valor "0" (zero) apareça no display, esta entrada deve permanecer no nível lógico ALTO ($\bar{BI} = 1 \leftarrow$ função não ativada).

O Contador Binário 7493

Neste laboratório em particular será utilizado ainda uma "nova" pastilha: a do contador binário 7493. Trata-se de um circuito contador capaz de contar de 0 à 15 (por isto dito binário ou hexadecimal) – ver fig. 5.4.

As suas saídas (Q_3, Q_2, Q_1 e Q_0) são conectadas diretamente as entradas do DEC/Display, respeitando seu "peso binário": $Q_0 \rightarrow A(2^0, \text{bit LSB})$, $Q_1 \rightarrow B(2^1)$, $Q_2 \rightarrow C(2^2)$ e $Q_3 \rightarrow D(2^3, \text{bit MSB})$.

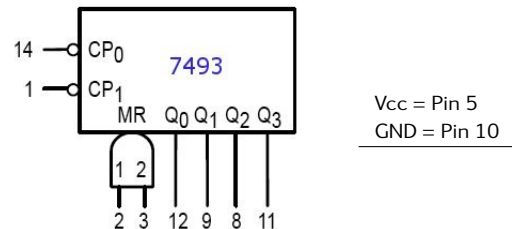


Figura 5.4: Pinagem do CI Contador 7493.

Detalhe: o CI 7493 possui 2 estágios contadores internos separados, um que realiza a divisão do sinal de clock (entrada CP_0 ou CKA) por 2 ($\div 2$) e outro estágio capaz de dividir sua frequência de clock de entrada (CP_1 ou CKB) por 8 ($\div 8$). Estes dois estágios não possuem nenhuma ligação interna (são independentes). Assim, se faz necessário conectar a saída do primeiro estágio (saída Q_0), que realiza a $\div 2$, na entrada do segundo estágio (entrada CP_1 ou CKB), que realiza a $\div 8$, o que resulta num contador $\div 16$ da frequência de entrada (ou seja, que conta de $0000_{(2)} \dots 1111_{(2)}$ ou de $0 \dots F_{(16)}$). Também se faz necessário ajustar as entradas de "Master Reset" (pinos MR_1 ou $R0(1)$ e pinos MR_2 ou $R0(2)$). Elas servem para gerar um sinal de Reset do contador quando ambas estão em nível lógico ALTO. Portanto estas duas entradas deverão ser conectadas ao GND.

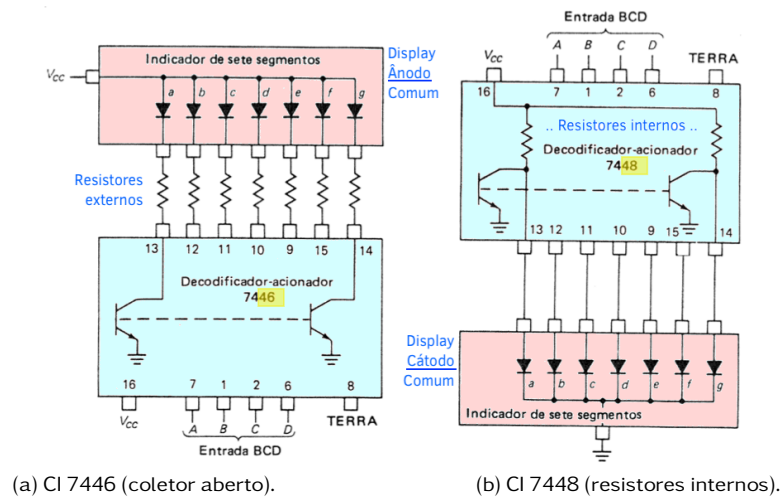
5.3 Parte Prática

Monte um circuito contendo um par DEC/Display + Display escolhido (guiar-se pela fig. 5.6(a) ou 5.6(b)), verificando:

1. Ativar pino $\overline{LT}$ =Lamp Test (ATIVO BAIXO) – o display inteiro deve acender se a montagem estiver correta;
2. Simular algum código BCD válido na entrada do display;
3. Simular um código BCD **inválido** (número $> 10_{(10)}$) na entrada do display e verificar a saída gerada. Compare os segmentos que acenderam com os dados fornecidos pelo manual do fabricante do DEC – fig. 5.3;
4. Variar o nível lógico no pino 4 ($\overline{BI}$ =Blank-Input) para comprovar que o display apaga quando a entrada do DEC recebe 0, mas não apaga para números maiores que 0.

5.4 Questões

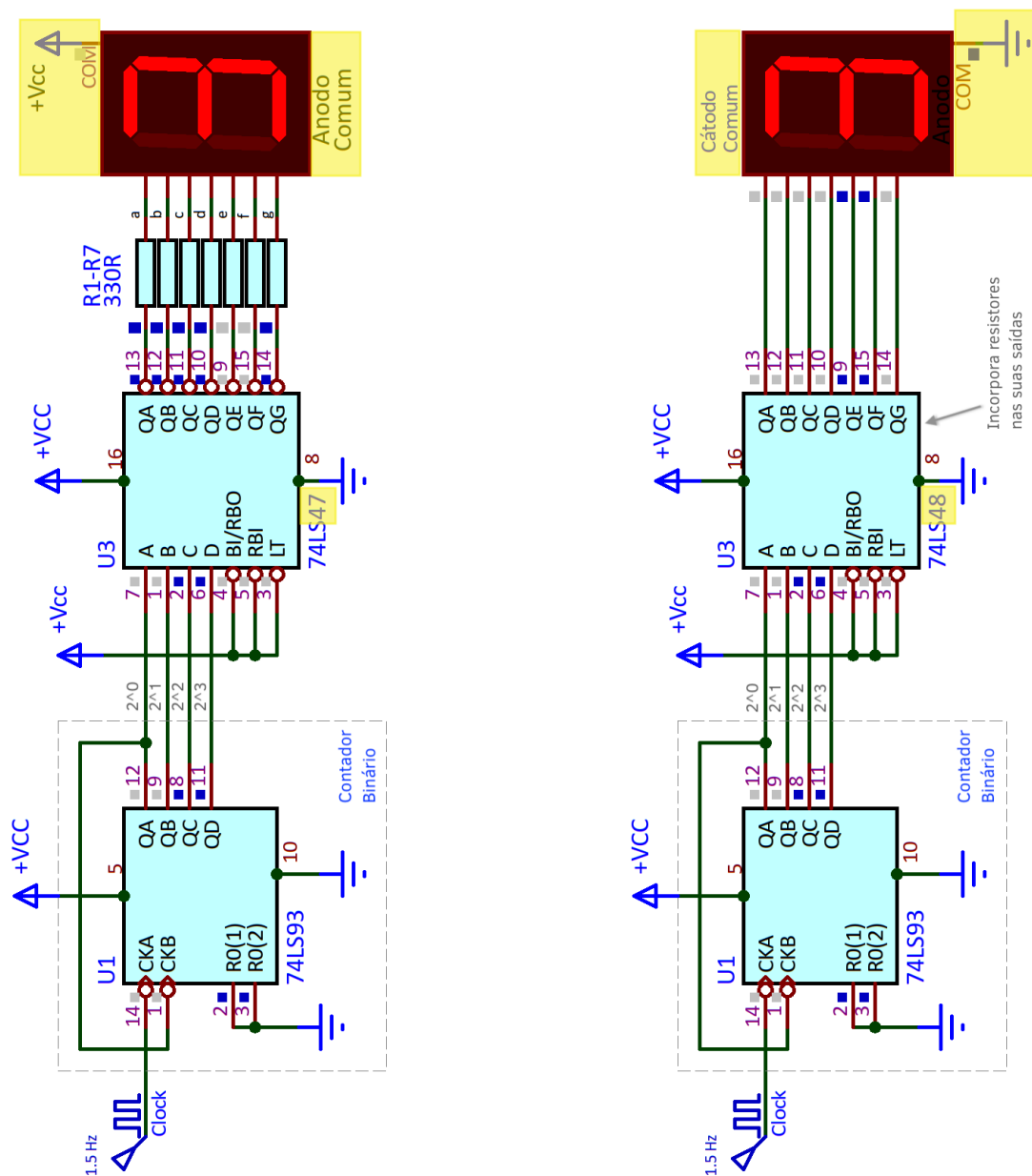
1. Buscar a folha de dados (PDF) do 7446/7447/7448 para prever o que acontece no display quando o usuário informa um código BCD não-válido (isto é, fora da faixa de 0 à 9).
2. Explicar por que os CIs decodificadores 7476, 7447 e 7448 geram caracteres estranhos para códigos não-BCD.



(a) CI 7446 (coletor aberto).

(b) CI 7448 (resistores internos).

Figura 5.5: Particularidades de alguns DEC's/Display 7-Segmentos.



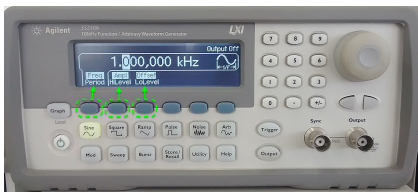
(a) Montagem usando DEC/Display 7446/7447.

(b) Montagem usando DEC/Display 7448.

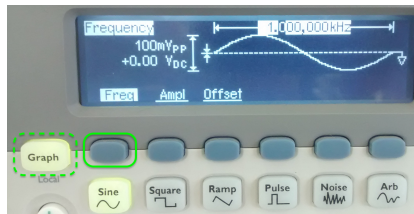
Figura 5.6: Opções de montagem (dependem do tipo de display de 7-Segmentos adotado!).

5.5 Uso do Gerador de Sinais

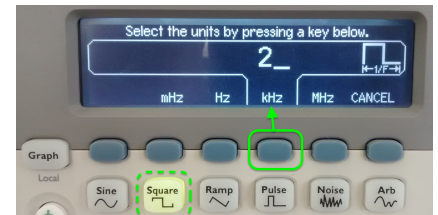
A figura 5.7 ilustra como ajustar o gerador de sinais.



(a) Tela inicial (ajustes de fábrica). Para continuar aperte qualquer botão como **Freq**, **Ampl** ou **Offset**.



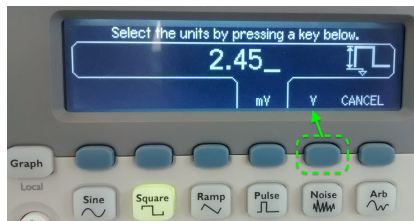
(b) Aperte o botão associado com **Freq** da figura anterior (a) para ajustar a frequência. Note que inicialmente o gerador gera um senóide de 1,0 KHz com amplitude bem baixa (100 mVpp). O botão **Graph** pode estar ativado ou não.



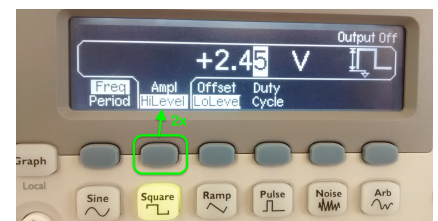
(c) Ajuste inicial de Frequência. Use o teclado numérico para digitar diretamente um valor (use 2_ **KHz** para ajustes com osciloscópio ou 2 **Hz** para uso no laboratório). Repare na escala desejada. Eventualmente o botão **Square** já pode ter sido pressionado.



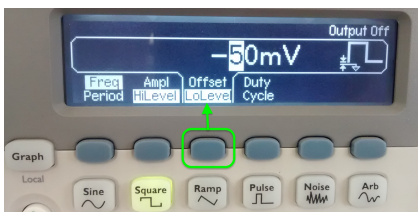
(d) Ajustando a amplitude da onda. Aperte o botão **Ampl** na tela da figura (a).



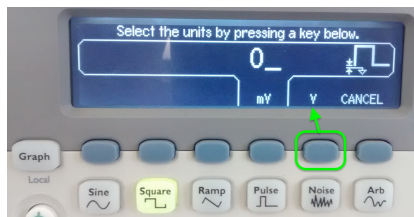
(e) Digite um valor como 2.45_ (Volts) para amplitude de pico da onda a ser gerada ($2 \times 2,45 = 4,9$ Volts). Atente para apertar o botão **V** para sair da escala de fábrica em mVolts.



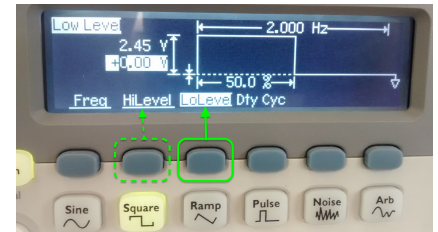
(f) Repare que se o botão **Ampl** da figura (d) for pressionado 2x o valor para **HiLevel** continua sendo +2.45 V (resultado de um provável bug de software na interface do equipamento).



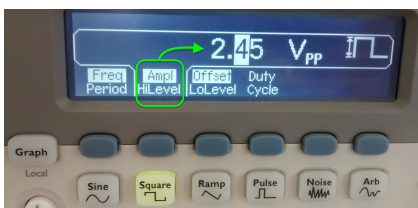
(g) Ajustando o **LoLevel** da onda. Na tela da figura (a) aperte 2x o botão **Offset**. Note que de fábrica teríamos um valor negativo de -50mV. Tensões negativas de entrada num circuito digital podem queimar componentes!



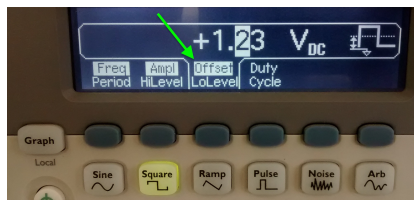
(h) Digite o valor 0_ e aperte o botão **V** para que o gerador altere este valor para 0,0 Volts.



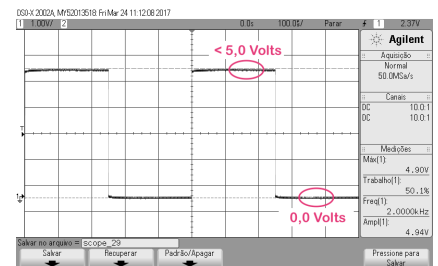
(i) Confirme (verifique) que **LoLevel** = 0.00 V e que **HiLevel** = 2.45 V. Para facilitar, o botão **Graph** pode estar ativado.



(j) Note que **Ampl** deve continuar valendo 2,45 Volts (o mesmo valor para **HiLevel**!)



(k) Note que o valor para **Offset** ficou em 1,23 V (devido ao bug comentado anteriormente – deveria ter ficado em $4,9/2 = 2,45$ Volts). Mas **LoLevel** permanece em 0,00 V como é o desejável.



(l) Use o osciloscópio para confirmar a onda quadrada nível TTL sendo gerada. Não esquecer de ativar botão **Output** no gerador de sinais para liberar a saída do gerador.

Figura 5.7: Dicas para uso do gerador de sinais Agilent 33210A 10 MHz.

7 | DEC 3/8 (74LS138) + Codificador de Prioridade (74LS148)

Lista de Material

- * CI 74LS138 (DEC 3-of-8);
- * 1 CI 74148 (Codif. de Prioridade);
- * 1 CI 7404 (6 × NOT);
- * 2 × Módulos Display de 7-Segmentos;
- * 9 leds mini vermelhos (alto-contraste);
- * 1 rede de resistores de $8 \times 470\Omega$;
- * 4 resistores de $10\text{ K}\Omega$;
- * 1 resistor de 330Ω ;
- * Fonte TTL (+5 Vcc);

7.1 Objetivos

Comprovar o funcionamento de um CI Decodificador (CI 74LS138) e de um CI Codificador de Prioridade (CI 74148).

7.2 Fundamentos Teóricos

Um Decodificador é um circuito que ativa uma única saída que corresponde ao código binário colocado na sua entrada. No caso do CI 74LS138 o mesmo é um CI decodificador de 3 linhas de entrada (3 bits de entrada) e portanto, de $2^3 = 8$ saídas, mas saídas em ATIVO BAIXO.

Um circuito codificador é aquele que é capaz de gerar um código binário de saída conforme a linha de entrada que estiver ativa. O 74148 é um codificador de prioridade o que significa que se mais de uma linha de entrada estiver ativa, o código que surgirá na saída equivale à linha de entrada mais altamente significativa que estiver ativada naquele instante. Porém este CI trabalha tanto com suas entradas quanto suas saídas em ATIVO BAIXO.

A figura 7.1 abaixo traz o diagrama lógico e pinagem do 74148 e a tabela 7.1 à seguir revela sua tabela verdade. Note que tanto suas linhas de entrada quanto suas saídas são ATIVO BAIXO. Uma saída nula ($\bar{A}_2\bar{A}_1\bar{A}_0 = 111_{(2)}$) aparece quando todas as suas linhas de entrada estiverem em nível lógico ALTO

e neste caso, a saída $\overline{GS}$ permanece em nível lógico ALTO indicando que nenhuma linha de entrada foi ativada. Caso alguma linha de entrada tenha sido ativada, a saída $\overline{GS}$ comuta para nível lógico BAIXO.

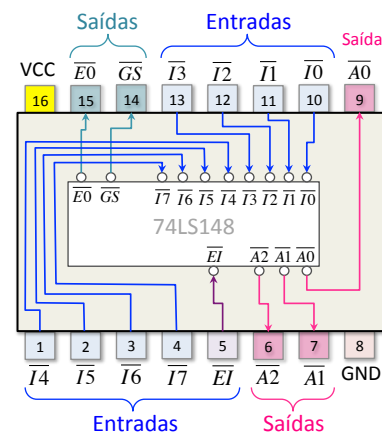


Figura 7.1: Pinagem do CI 74LS148.

Entradas									Saídas				
$\bar{EI}$	$\bar{I}_0$	$\bar{I}_1$	$\bar{I}_2$	$\bar{I}_3$	$\bar{I}_4$	$\bar{I}_5$	$\bar{I}_6$	$\bar{I}_7$	$\bar{A}_2$	$\bar{A}_1$	$\bar{A}_0$	$\overline{GS}$	E_0
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	L	H	H	H	H	L	H	L	L	H
L	X	X	L	H	H	H	H	H	L	H	L	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

Tabela 7.1: Tabela verdade do 74148.

7.3 Parte Prática

Para este laboratório está prevista a montagem em 2 partes. A primeira começando e usando apenas o CI Decodificador – ver figura 7.2(a). E as experiências a serem realizadas estão divididas em 3 etapas. A tabela 7.2 mostra como os CIs da figura 7.2 devem ser alimentados.

	CI 74LS04	CI 74LS138	CI 74LS148
Vcc	Pin 14	Pin 16	Pin 16
GND	Pin 7	Pin 8	Pin 8

Tabela 7.2: Pinos de alimentação das pastilhas usadas neste laboratório.

Obs.: Sugere-se ao estudante que use um barramento de terra (GND) para realizar os *jumper*s mostrados na figura 7.2 – trata-se de simples conexões ao terra.

Etapa I

A ideia aqui é primeiramente testar o DEC de forma separada e isolada. Uma vez montado o circuito da figura 7.2(a).

O estudante deve comprovar que:

- ☐ Variações nos níveis lógicos nas entradas do DEC através de *jumper*s para o terra (de A0 até A2), fazem variar o led que se ativa na sua saída.
- ☐ Enquanto o DEC está habilitado apenas 1 única saída é ativada;
- ☐ Note porém que este CI só reage ao código presente nestas entradas, se estiver habilitado, para tanto, comprove que é necessário conectar um *jumper* $\overline{ENABLE}$ (ou pino $\overline{E2}$) para o terra. Comprove como este DEC se comporta quando está desabilitado (sem a conexão do *jumper*).

Uma vez comprovado que o DEC ativa apenas uma única saída quando se varia o código binário apresentado nas suas entradas, passe para a segunda parte deste laboratório.

Etapa II

A segunda etapa consiste em montar o circuito da parte II mostrado na figura 7.2(b). Note que o circuito da parte I e o da parte II podem ser testados de forma independente, enquanto o usuário não completar a interligação do circuito I para o circuito II através dos pontos X0 até X7. A ideia nesta etapa é testar o CI Codificador de forma isolada e independente do circuito da parte I, isto significa não realizar nenhuma interconexão entre as duas partes.

Repare que as saídas ATIVO BAIXO do Decodificador de Prioridade foram complementadas através de portas inversoras.

O estudante deve comprovar que:

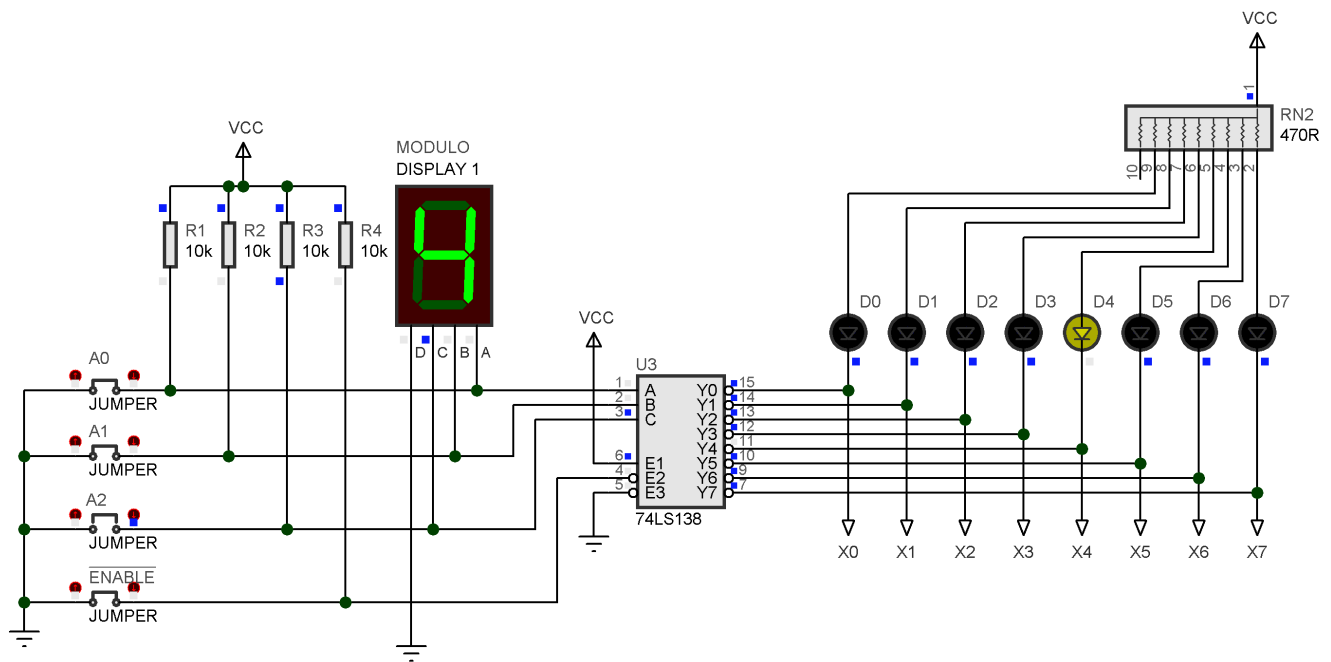
- ☐ O Codificador deve responder imediatamente com um novo código na sua saída à cada vez que alguma nova linha de entrada é ativada. Para tanto, conecte um *jumper* ou mais para terra nas entradas $\overline{I0}$ até $\overline{I7}$ do Codificador.
- ☐ Enquanto não houver nenhum *jumper* conectado ao terra, o código formado na sua saída corresponde ao 0, mas o pino de saída $\overline{GS}$ também estará desativado (em nível lógico baixo; led D9 apagado).
- ☐ Experimente conectar apenas o *jumper* $\overline{I0}$ ao terra. Neste caso, o código formado na sua saída não deve ser alterado, mas o pino $\overline{GS}$ é ativado e o led D9 acende (note que o led está na configuração ATIVO BAIXO, assim como o pino $\overline{GS}$ também é ativado em nível lógico baixo).
- ☐ Mantendo o *jumper* $\overline{I0}$ conectado ao terra, experimente agora conectar qualquer outro *jumper* de $\overline{I1}$ até $\overline{I7}$, ao terra. Se a montagem estiver correta, a saída deverá ativar o led D9 (ou $\overline{GS}$) e deverá gerar o código corresponde ao número da maior linha de entrada ativada.

Etapa III

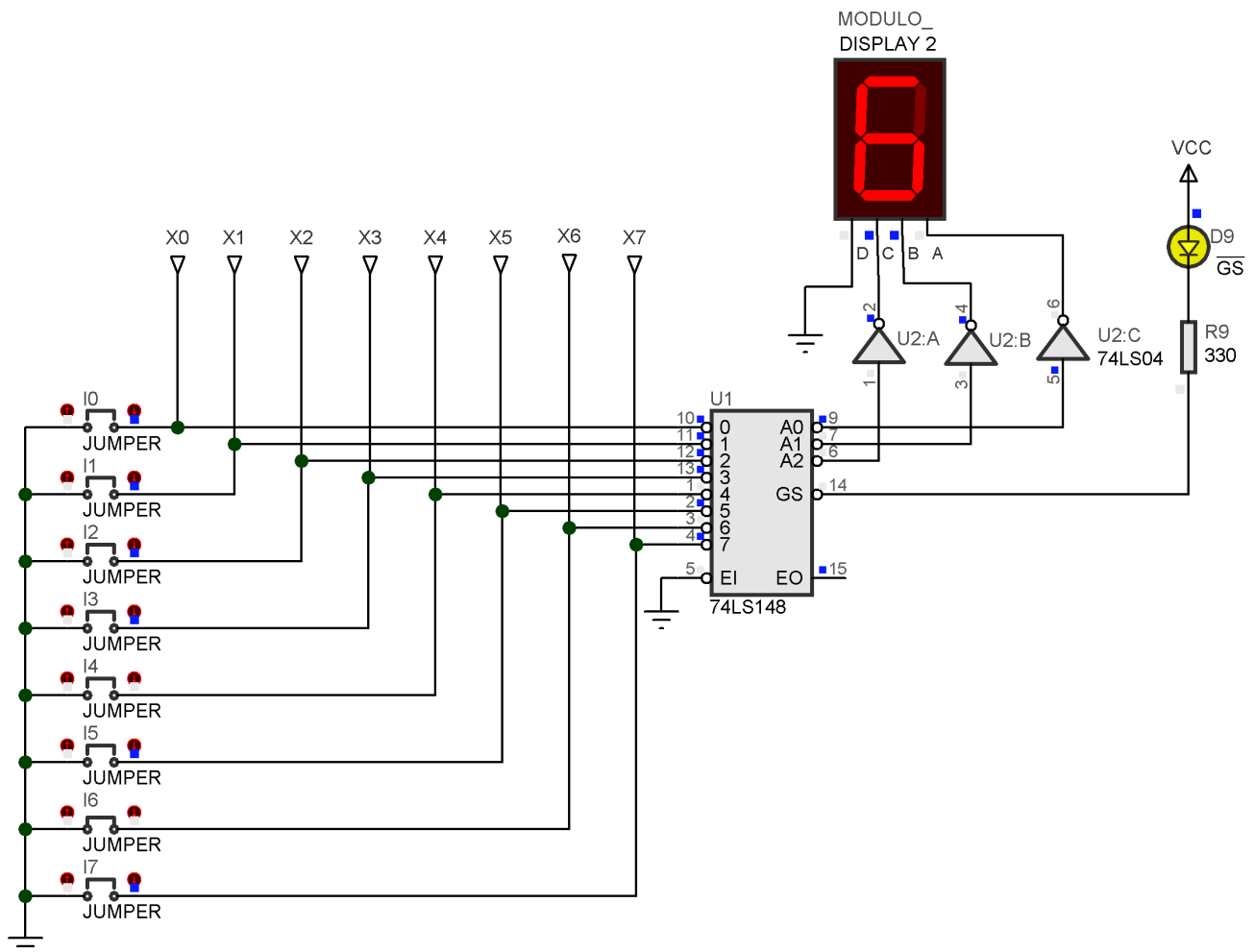
Para finalizar o laboratório, somente nesta etapa proceda a conexão entre o circuito da parte I e o da parte II através dos pontos X0 à X7. Note que tanto os *jumper*s presentes nas entradas do CI Codificador quanto as saídas do DEC se encontram nos pontos X0 à X7, cada um tentando “forçar” certo nível lógico lógico. Neste caso, a maior parte dos circuitos digitais se comporta como se nestes pontos de junção houvesse uma porta AND.

Nesta etapa o estudante deve verificar que:

- ☐ Variar o o código binário programado na entrada do DEC (*jumper*s de A0 até A2) enquanto mantêm inalteradas as últimas conexões realizadas nas entradas do Codificador (*jumper*s $\overline{I0}$ à $\overline{I7}$ ao terra). Deve ser percebido que o Codificador apresentará na sua saída, o código correspondente à maior linha de entrada que se encontrar ativa.
- ☐ Dependendo das conexões realizadas nas entradas do DEC ou do Codificador, o código na saída do Codificador deve variar, mas sempre será apresentado o valor corresponde à maior linha de entrada ativa no Codificador.



(a) Parte I) Montagem explorando o DEC 3/8 (CI 74LS138).



(b) Parte II) Montagem explorando o Codificador de Prioridade (CI 74LS148).

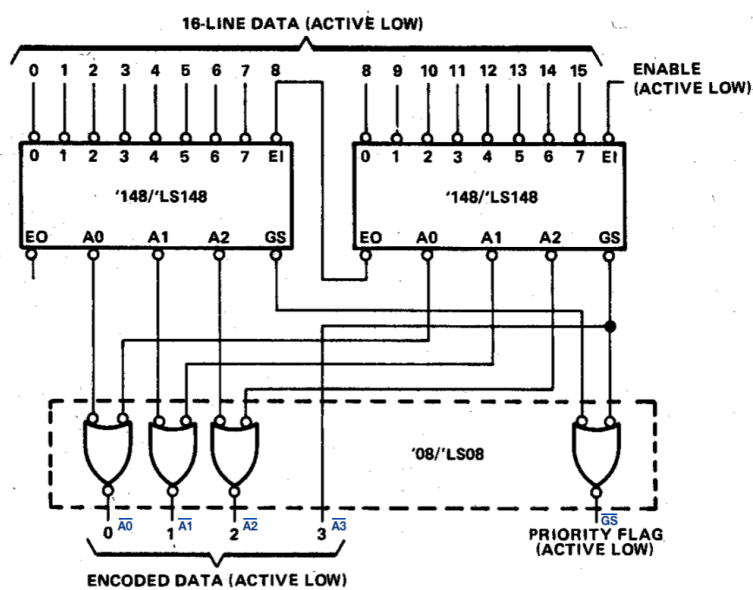
Figura 7.2: Circuito previsto para montagem neste laboratório

7.4 Perguntas

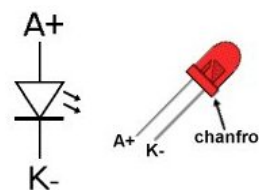
- 1) O fabricante da pastilha 74LS148 sugere circuitos para transformá-lo num codificador com 16 linhas de entrada (e 4 bits de saída) – ver figura 7.3(a). Explique a lógica envolvida nas conexões de saída das 2 pastilhas 74148 com ao menos 3 exemplos simulando diferentes linhas de entrada

ativas, mostrando através de níveis lógicos (e usando as equações levantadas anteriormente), a forma como o circuito se comporta (principalmente com relação às saídas $\overline{A_3}$, $\overline{A_2}$, $\overline{A_1}$, $\overline{A_0}$ e $\overline{GS}$ de cada 74148).

Dica: sugere-se baixar (e estudar) a especificação (arquivo PDF) de um fabricante da pastilha 74LS148 para verificar sugestões de expansões de capacidade para a mesma.



(a) Cascadeamento de 2x CIs 74LS148 (saídas em ATIVO BAIXO).



(b) Led.

Figura 7.3: Parte final, perguntas associadas com expansão do Codificador de Prioridade 74LS148.

8 | Função lógica: $F = \text{Menor}(A, B)$

Lista de Material

- * 1 CI 74F157 (4 × MUX(2));
- * 1 CI 74F85 (Comparador de Magnitude);
- * 1 Módulo Display 7-Segmentos;
- * Fonte de alimentação com saída TTL 5 Volts

Opcionalmente:

- * 8 leds mini;
- * 8 resistores (ou rede resistiva) de 330Ω ou 470Ω (Fig. 8.2(e));
- * 2 chaves DIP de 4-posições ou 1 chave DIP de 8-posições;
- * 8 resistores de $10\text{ K}\Omega$ (Fig. 8.2(d));

Estes componentes podem ser usados (a critério de cada estudante) para gerar/monitorar os bits de entrada das palavras A e B . A opção (d) não exige os leds mas não permite identificar o nível lógico presente naquela entrada – ver fig. 8.2(d) e (e).

8.1 Objetivos

O objetivo neste laboratório é aprender e usar na prática um CI Comparador de Magnitude e um Multiplexador para executar a seguinte função lógica: $F = \text{Menor}(A, B)$; onde A , B e F são palavras de 4 bits.

8.2 Fundamentos Teóricos

Para realizar a função lógica $F = \text{Menor}(A, B)$, 2 componentes fundamentais são necessários, um CI comparador de magnitude (CI 74F85) e um multiplexador quádruplo com 2 linhas de entrada (CI 74F157). A seguir, é feita uma rápida revisão sobre o funcionamento de cada uma destas duas pastilhas.

CI Comparador de Magnitude 74F85

Este CI é capaz de comparar a magnitude de 2 palavras de 4 bits de entrada cada uma. Conforme o resultado da comparação ativada uma de suas 3 saídas: $O_{A<B}$, $O_{A=B}$ e $O_{A>B}$. Este CI possui ainda 3 entradas de cascadeamento para possibilitar expansão entre pastilhas semelhantes: $I_{A<B}$, $I_{A=B}$ e $I_{A>B}$. Estas entradas para cascadeamento só passam a ser levadas em consideração quando as palavras sendo comparadas pelo CI são iguais entre si ($A = B$) – ver tabela 8.1. Para as demais situações, estas entradas de cascadeamento são ignoradas e o CI passa a ativar a saída $O_{A<B}$ ou $O_{A>B}$ conforme o caso. Sua pinagem aparece na figura 8.2(a).

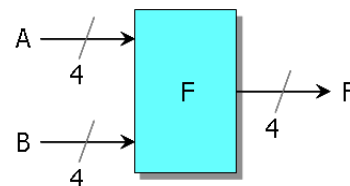
CI Multiplexador 74F157

Trata-se de um multiplexador quádruplo com capacidade para 2 linhas de entrada de dados, ou seja, um circuito que passa para sua única saída (Y_i), uma de suas 2 linhas de entrada ($I1_i$ e $I0_i$; onde i corresponde a um dos Multiplexadores – varia de a até d), conforme o nível lógico do seu único bit de seleção, S , que é compartilhado pelos seus 4 MUXs internos. Note que este CI possui ainda uma única entrada para habilitação simultânea de seus 4 multiplexadores, que trabalha em nível lógico baixo (ativo baixo, $\bar{E}$). Obviamente a entrada $\bar{E}$ deve ser devidamente conectada para tornar o CI ativo. A sua pinagem aparece na figura 8.2(b).

8.3 Parte Prática

Pede-se que o aluno(a), realize as seguintes etapas, por ordem:

- 1) Projete o circuito digital necessário para desempenhar a função lógica: $F = \text{Menor}(A, B)$. Guiar-se pela figura abaixo.



- 2) Montar o circuito projetado no item anterior;
- 3) Comprovar o correto funcionamento do circuito para os seguintes casos listados à seguir:

a) $A = 3_{(10)}$ e $B = 6_{(10)}$; saída igual : $F = \underline{\hspace{2cm}}_{(10)}$;

b) $A = 6_{(10)}$ e $B = 3_{(10)}$; saída igual : $F = \underline{\hspace{2cm}}_{(10)}$;

c) $A = 7_{(10)}$ e $B = 7_{(10)}$; saída igual : $F = \underline{\hspace{2cm}}_{(10)}$;

Obs.: para todos os casos anteriores, sugere-se o uso do Módulo Display de 7-Segmentos ligado na saída do MUX para comprovar o estado de saída do circuito; as entradas A e B podem ser geradas opcionalmente usando chaves DIP (facilitam a programação de diferentes combinações binárias).

Anote para cada um dos casos acima, o número que aparece no display.

8.4 Questões

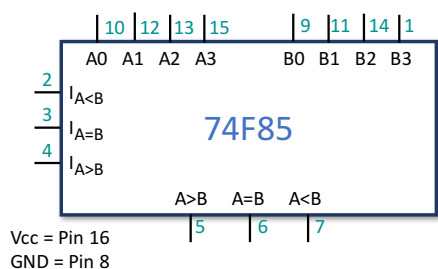
Projete e simule o circuito digital capaz de realizar a função $F = \text{Menor}(A, B)$, usando apenas os 2 componentes principais: um CI comparador de magnitude (CI 74F85) e um multiplexador quádruplo com 2 linhas de entrada (CI 74F157).

Pede-se:

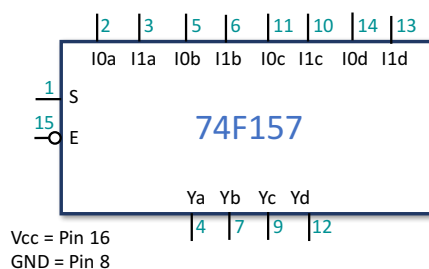
1) Completar o diagrama elétrico – figura 8.3.

2) Indicar os níveis lógicos presentes nas principais partes internas do circuito, para cada um dos casos simulados no item (3) da Parte Prática. Explicitamente, indicar os níveis lógicos nos seguintes pontos:

- Saídas do Comparador de Magnitude: $O_{A<B}$ e $O_{A>B}$;
- Pino de entrada Select do Multiplexador (S ou $\bar{A}/B$, no caso do Proteus);
- E que palavra de entrada (A ou B) o Multiplexador deve apresentar na sua saída (pinos Ya, Yb, Yc, Yd ou 1Y, 2Y, 3Y, 4Y no caso do Proteus)?



(a) Símbolo e pinagem do CI 74F85.



(b) Símbolo e pinagem do CI 74F157.

Figura 8.1: Símbolos lógicos dos principais componentes deste experimento.

Entradas de Comparação				Entradas Expansão			Saídas		
A3,B3	A2,B2	A1,B1	A0,B0	$I_{A>B}$	$I_{A<B}$	$I_{A=B}$	$A > B$	$A < B$	$A = B$
$A3 > B3$	X	X	X	X	X	X	1	0	0
$A3 < B3$	X	X	X	X	X	X	0	1	0
$A3 = B3$	$A2 > B2$	X	X	X	X	X	1	0	0
$A3 = B3$	$A2 < B2$	X	X	X	X	X	0	1	0
$A3 = B3$	$A2 = B2$	$A1 > B1$	X	X	X	X	1	0	0
$A3 = B3$	$A2 = B2$	$A1 < B1$	X	X	X	X	0	1	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 > B0$	X	X	X	1	0	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 < B0$	X	X	X	0	1	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	1	0	0	1	0	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	1	0	0	1	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	0	1	0	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	X	X	1	0	0	1
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	1	1	0	0	0	0
$A3 = B3$	$A2 = B2$	$A1 = B1$	$A0 = B0$	0	0	0	1	1	0

Tabela 8.1: Tabela verdade do CI Comparador, 74F85.

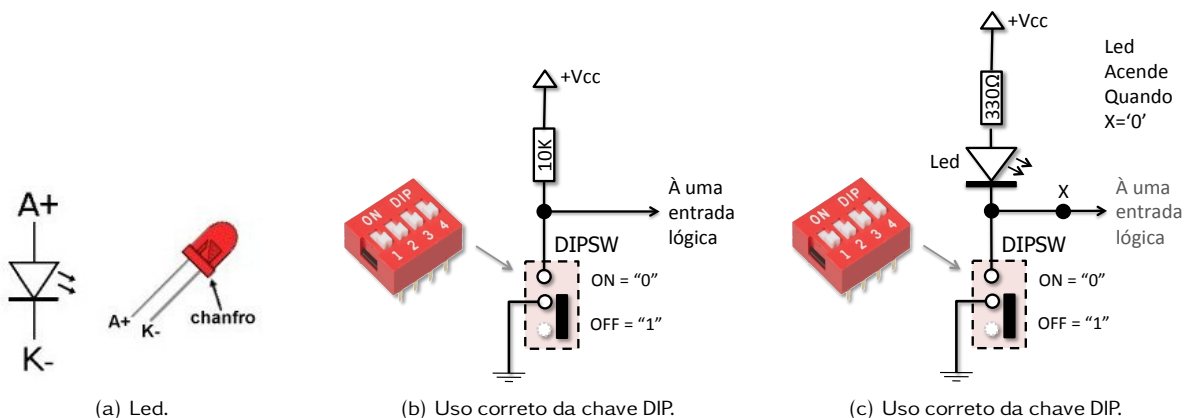


Figura 8.2: Dados e sugestões para este laboratório.

UPF / Eng. Elétrica

Lab. Circuitos Digitais I

Data: ____ / ____ / ____

Lab. Função $F = \text{Menor}\{A, B\}$

Aluno₁: _____ / No.Mat. _____

Aluno₂: _____ / No.Mat. _____

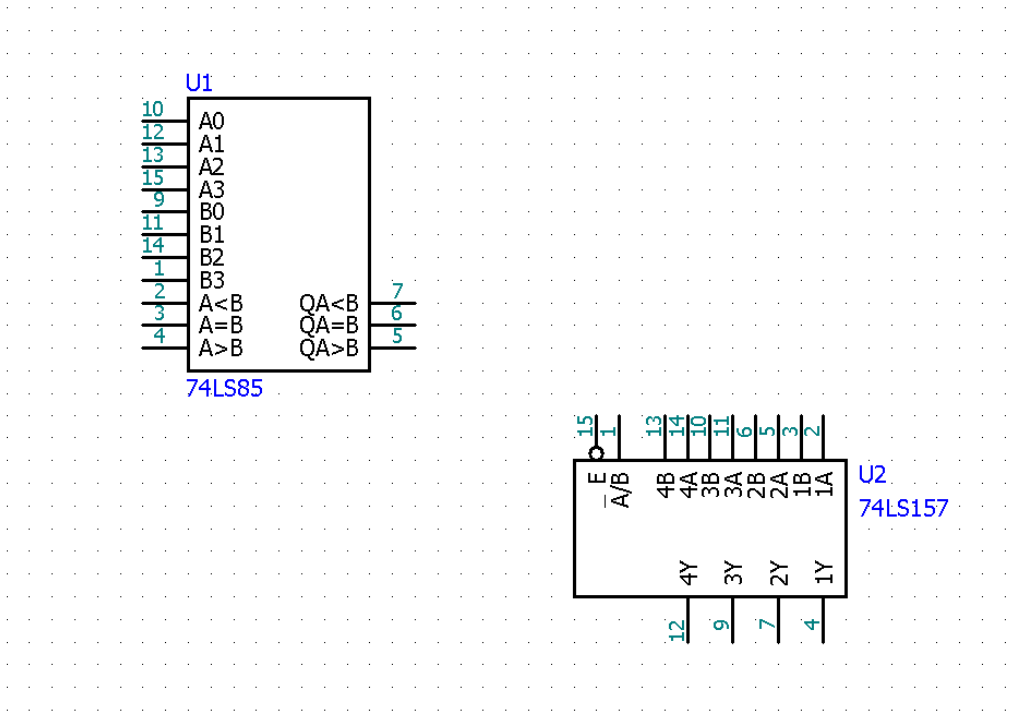


Figura 8.3: Diagrama elétrico do circuito principal.

9 | Circuito Somador/Subtrator Binário

Lista de Material

- 1 CI 74 LS 283 (Somador binário);
- 1 CI 74 F 86 (4 × Portas XOR);
- 1 módulo Display de 7 segmentos.

9.1 Objetivos

Usar o CI Somador binário 74LS283 para realizar a soma e subtração binária de palavras de 4 bits. A subtração ocorrerá na notação Complemento 2.

9.2 Fundamentos Teóricos

Neste laboratório será utilizado o CI 74LS283, que é um somador binário completo de 4 bits com propagação acelerada de *carry* (similar ao CI 74LS83, mas eles não são compatíveis pino à pino).

Este tipo de CI é capaz de realizar as seguintes operações aritméticas (tabela 1 à seguir):

Carry-In	→	0	0	0	0	1	1	1
Operando 1	→	0	0	1	1	0	1	1
Operando 2	→	+0	+1	+0	+1	+0	+0	+1
Carry-Out	→	0	0	0	1	0	1	1
Resultado	→	0	1	1	0	1	0	1

Tab. 1: Adições binárias (bit à bit).

9.3 Parte Prática

Montar o circuito mostrado na figura 9.1(a). Não é necessária uma chave para selecionar a operação à ser realizada, realize “jumpers” com fios no próprio protoboard.

Atividades

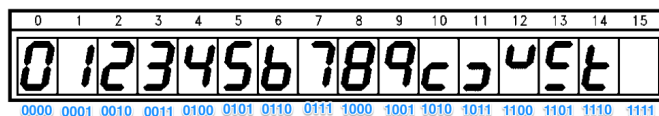
Tendo montado o circuito da figura 9.1(a), realize as 3 operações destacadas abaixo:

- $F = A + B$, onde $A = 3$ e $B = 6$;
- $F = A - B$, onde $A = 3$ e $B = 6$;

- $F = A - B$, mas com $A = 6$ e $B = 3$;

Para todas os casos, deixe bastante claro como você teria que ajustar as entradas do CI Somador para que a mesmo realizasse estas 3 diferentes operações. Informe como a operação é realizada internamente pelo Somador e tente prever (e confirmar na prática) as saídas assumidas pela ULA e o caracter que será exibido no display de 7-segmentos.

Obs.: Note que um DEC/Display comum só está preparado para códigos de entrada BCD, caso contrário, caracteres estranhos serão mostrados no display, como mostra a figura à seguir:



Obs.: Para cada operação, se espera que o estudante complete um quadro como o mostrado em quadro 1.

A ideia é a que cada caso seja previamente simulado no papel (“teste de mesa”), e que seja apresentado um quadro mostrando a forma como os bits são processados internamente pelo circuito. O quadro 1 à seguir, exemplifica a forma como se espera que o estudante apresente o resultado obtido.

Questões

- 1) Como você faria para realizar a subtração dos números $18_{(10)}$ e $9_{(10)}$? Inclui mostrar circuito e completar uma tabela similar à 3 (neste caso, para operadores de 8-bits de comprimento).

Dica: é necessário cascatear de forma conveniente 2 CIs 74LS283.

- 2) Você seria capaz de propor uma expansão à este circuito de forma que ele também seja capaz de mostrar resultados negativos no display?

Dica: será necessário mais um CI Somador 74LS283 e 3 portas XOR. E poderia ser usado um display do tipo mostrado na figura 9.1(c).

- 3) O circuito da figura 9.2 (próxima página) traz o circuito de uma “interface de saída”, capaz de mostrar números inteiros de 4-bits com sinal (padrão $\bar{C}_2$) no display (equivalente à variáveis `int` da linguagem C/C++). No caso da figura, está sendo mostrado o caso de uma operação como: $F = 2 - 4 = -2$.

Sugestão: para entender como este circuito funciona, simule à mão como o circuito completo (do somado/subtrator + interface de saída) se comportaria (simule os níveis lógicos e números binários em complemento-2 gerados pelo circuito neste caso de operação).

Dados de Entrada:	Operação Realizada:			Saída Esperada:	
$A_3A_2A_1A_0 = 0010_{(2)}$ $B_3B_2B_1B_0 = 0100_{(2)}$ Op: $C_0 = 1_{(2)}$	Op. ↓ A - B S	Equiv. Dec.: 2 -4 -2	Op. Realizada pelo Somador $111 \leftarrow C_i$ $0010 \leftarrow A_i$ $+1011 \leftarrow B_i$ $1110 \leftarrow S_i$	$F_3F_2F_1F_0 = 1110_{(2)}$ Número negativo, então: $1110 \downarrow \overline{C_1}$ $0001 \downarrow \overline{C_1}$ $+1$ $0010 \downarrow \overline{C_1}$ $(2) = 2_{(10)}$ $C_4 = 0_{(2)}$	Display (sem conversões): 

Quadro 1. Demonstrando operação sendo realizada pelo circuito somador/subtrator.

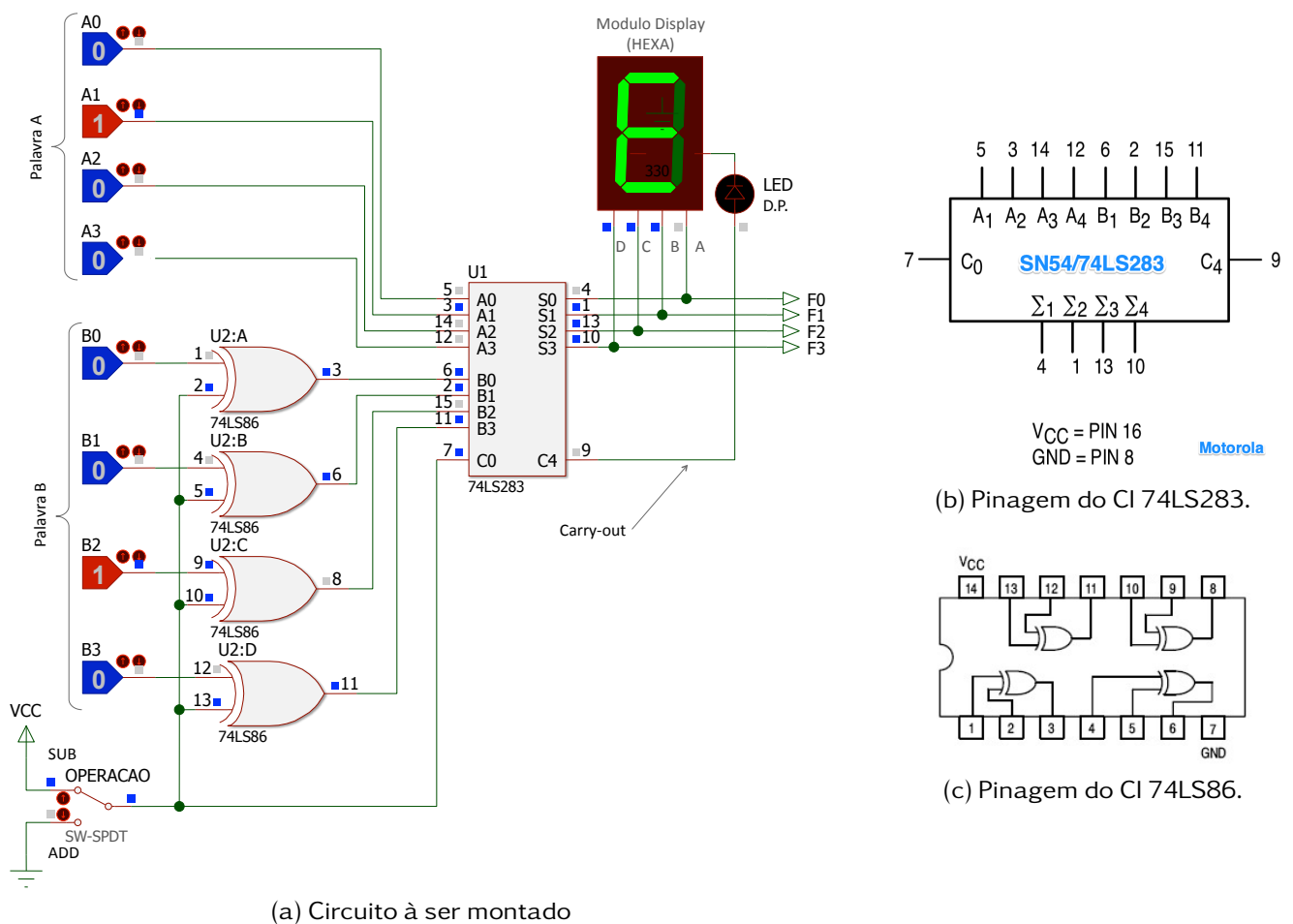
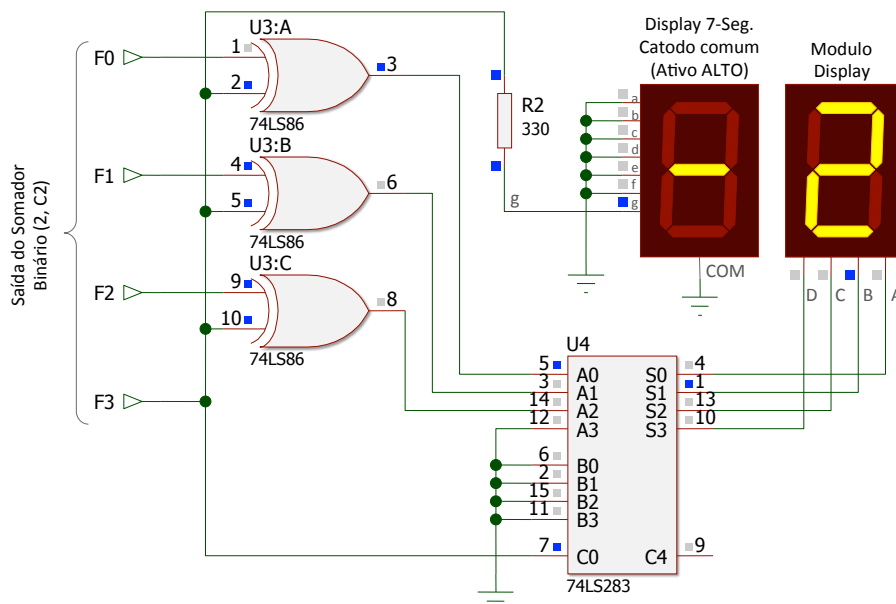
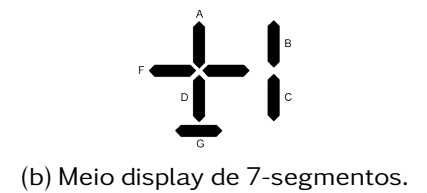


Figura 9.1: Circuito Somador/Subtrator binário usando portas XOR como inversores controlados.



(a) Interface de saída capaz de mostrar números inteiros de 4-bits com sinal, padrão $\overline{C}_2$, faixa de: $[-8 \dots +7]$.



(b) Meio display de 7-segmentos.

Figura 9.2: Interface de saída e 1/2 display de 7-segmentos.

A | Guia do Estudante para *Protoboards*

O *protoboard* é uma ferramenta muito útil e prática para rapidamente montar e testar circuitos elétricos. Trata-se de uma placa que contém vários furos nos quais os fios e terminais de componentes eletrônicos podem ser facilmente encaixados de forma a se obter um circuito elétrico.

Como indicado na figura A.1, toda a linha de pinos da parte lateral superior e inferior estão conectados entre si (linha azul). Estas linhas laterais são normalmente utilizadas para definir uma linha de alimentação e linha de terra. Por exemplo: uma das linhas passa a ser utilizada como o terminal + de alimentação e a outra linha para pontos de terra do circuito. Cada uma destas linhas é interligada à um pino banana do tipo fêmea (que recebe conexões) que está pronto para receber os terminais de conexão de alimentação vindos de uma fonte de alimentação¹.

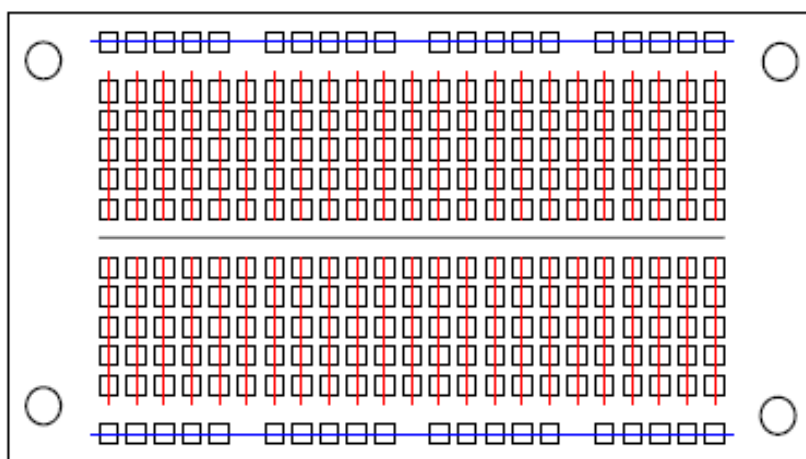


Figura A.1: Placa de *protoboard* (mostrando as trilhas com ligações elétricas).

A parte central do *protoboard* é o local onde Circuitos eletrônicos Integrados (C.I.'s) são conectados – ver figura A.2.

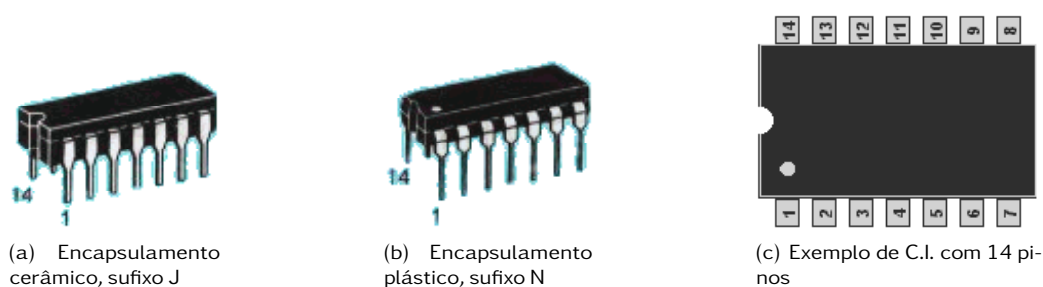


Figura A.2: Circuitos Integrados (incluindo identificação de pinos).

Note que a partir da linha central do *protoboard* partem várias colunas contendo 5 furos interligados entre si (conforme mostrado pela linha vermelha na figura A.1). Entretanto, cada conjunto destes de 5 pinos está separado entre si e por um canal central que divide o *protoboard* ao meio. Note que quando um C.I. é encaixado no *protoboard*, isto deve ser feito de forma que metade de seus pinos fique localizado num dos lados do *protoboard* e a outra metade, no outro lado do *protoboard* – ver figura A.3.

Os componentes são inseridos no *protoboard* de maneira firme para garantir contato com uma das linhas de contato do *protoboard*. Para garantir problemas de mau contato, se aconselha, inserir o mesmo componente umas 3 vezes em cada furo do *protoboard*, mas com o cuidado de não se romper as perninhas deste componente. Cuidado especial deve ser tomado com as perninhas dos C.I.s que facilmente podem ser dobradas ou serem partidas (o que acaba inviabilizando o uso do CI).

¹Para os terminais de alimentação são usados 2 cabos: um deles fica conectado ao terminal positivo da fonte de alimentação, indicado pelo símbolo "+" (este cabo é normalmente da cor vermelha) e o outro vai conectado ao terminal de terra da fonte de alimentação (às vezes indicado pelo símbolo: "GND" ou "-", e normalmente seu cabo é da cor preta).

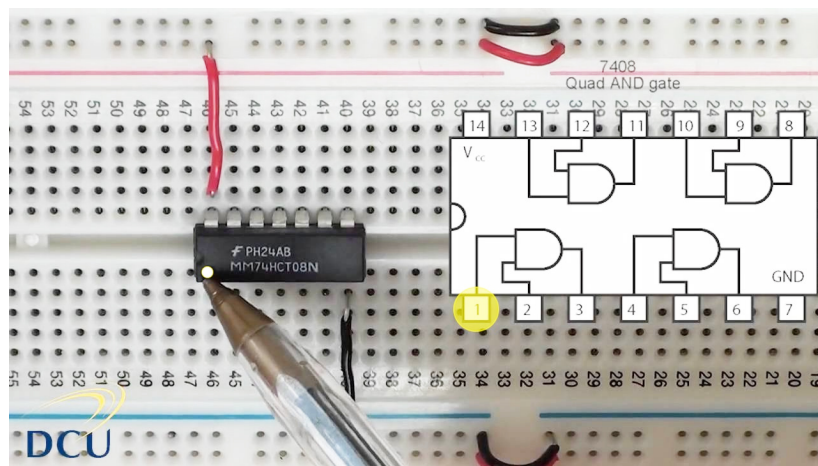


Figura A.3: *Protoboard* com CI instalado.

A figura A.4 mostra um exemplo de uso de *protoboard*.

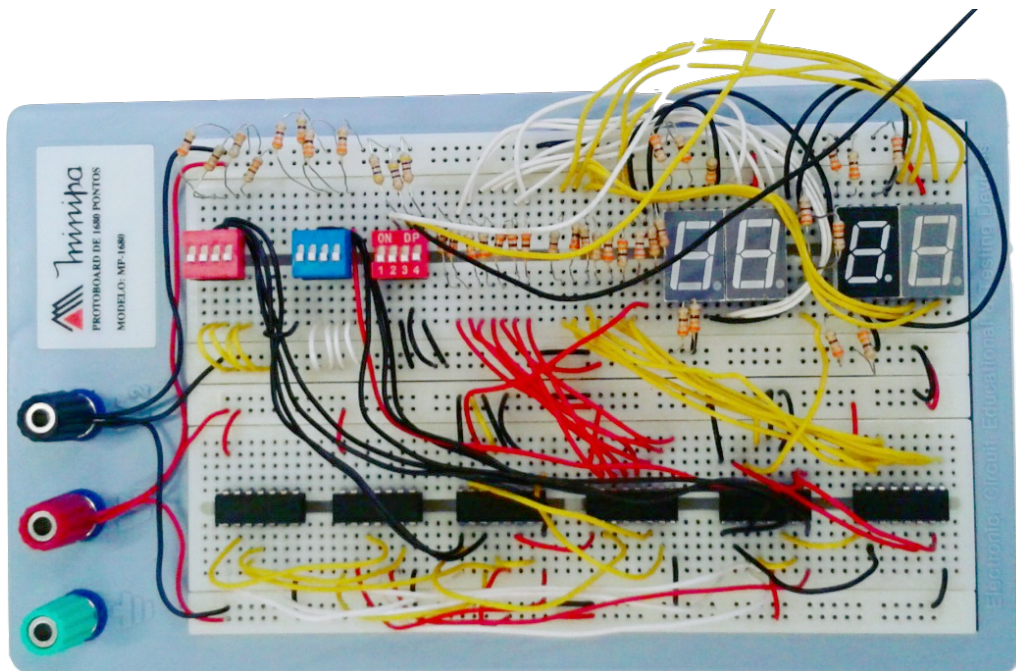


Figura A.4: Exemplo de montagem de circuito eletrônico digital usando *protoboard*.

B | Componentes Eletrônicos

B.1 Circuitos Integrados

No item anterior (figura A.2, na página 31) já foi demonstrado a aparência física de um Circuito Integrado, ou mais simplesmente CI. Note que este componente pode conter diversos terminais distribuídos uniformemente em cada um de seus lados, neste caso, diz-se que segue encapsulamento DIP (*Dual-In-line Package*). Note que a distância entre os terminais de todos os CIs com este encapsulamento segue um mesmo padrão de distanciamento que coincide (propositalmente) com a distância entre cada orifício no *protoboard*. Note também a numeração de seus terminais (ou "patinhas"). Elas seguem o sentido anti-horário, começando sempre no lado do CI que contem um chanfro ou pequeno alto relevo indicando a posição inicial de seus terminais.

Notar ainda que cada terminal obedece a uma certa função, veja por exemplo, a figura B.1.

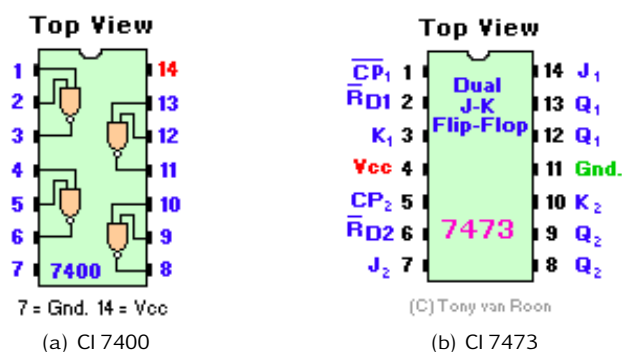


Figura B.1: Exemplos de pinagens de CIs.

Note que os terminais indicados com "Vcc" se referem ao ponto de entrada para a tensão de 5 Volts e o terminal "GND" (Ground) se refere ao ponto de ligação com o terminal de terra da fonte de alimentação.

Note que: a posição dos terminais de alimentação de um CI pode variar conforme o tipo do CI (conforme se nota na figura B.1) e que um CI não "sobrevive" à uma eventual troca de polaridades (ele simplesmente queima, sem deixar maiores vestígios).



B.2 Componentes discretos

Resistores

Os resistores impõem uma certa resistência à circulação de corrente num circuito qualquer criando uma diferença de potencial entre seus terminais que varia conforme seu valor, e a corrente que circula entre seus terminais – pela lei de Ohm:

$$V = R \cdot I \quad \text{ou} \quad R = \frac{V}{I}$$

O valor de sua resistência é dado através de um código de cores conforme mostra a figura B.2.

A figura B.3 mostra um exemplo de identificação de valores em resistores conforme suas cores. Por exemplo, um resistor de 330 Ω virá identificado pelas seguintes faixas de cores: laranja (3), laranja (3), marrom ($\times 10$), dourado (tolerância de 5%).

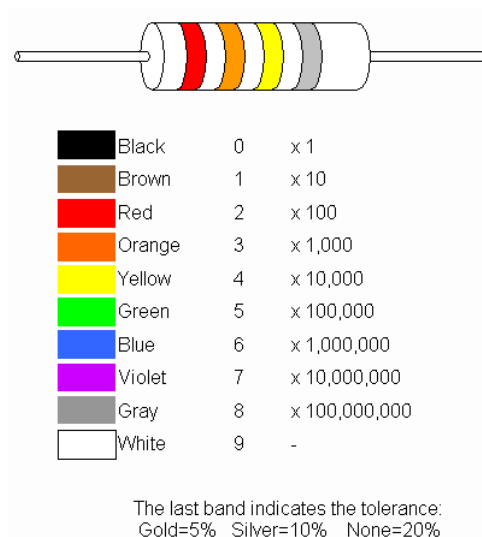


Figura B.2: Código de cores para resistores.

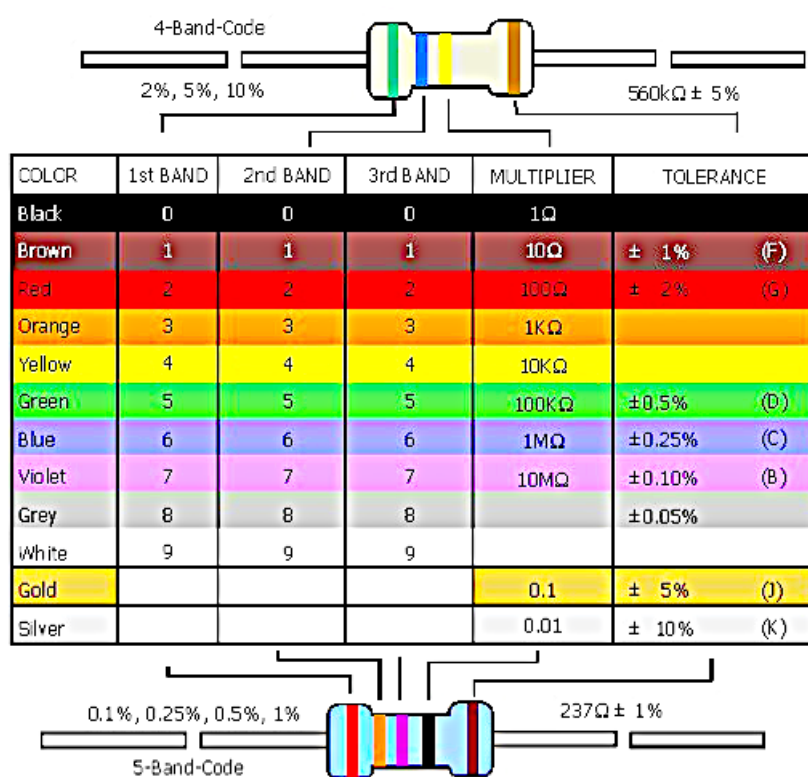


Figura B.3: Identificação de resistência conforme código de cores.

LED's: Diodos emissores de luz

LED's (*Light Emitting Diodes*) são os chamados diodos emissores de luz. Tais quais os diodos semicondutores, eles conduzem corrente apenas num certo sentido e isto significa que também são componentes polarizados (ou seja, possuem um terminal positivo: "+" (também chamado de **Ânodo**) e outro terminal negativo: "-" (também chamado de **Kátodo**). Convém notar que na metade das vezes eles também não resistem à uma troca de polaridades. A figura B.4 mostra o aspecto físico e sua pinagem.



Figura B.4: Led's.

Quando incide uma diferença de tensão entre seus terminais, os mesmos "acendem" em diferentes cores conforme o tipo usado: vermelho, verde, amarelo, laranja, azul. No nosso caso, os led's vão ser bastante utilizados para identificar os diferentes níveis lógicos presentes num circuito digital (ou "0" ou "1").

Os Led's não toleram d.d.p. (diferença de potencial ou de tensão) entre seus terminais, superior à 1,2 Volts. Portanto, seu uso está acondicionado à associação em série com um resistor de forma a reduzir a diferença de tensão de 5 Volts normalmente presente na saída dos circuitos digitais. Como sabemos que um led tipicamente consome em torno de 12 mA, fica fácil calcular o valor do resistor que deve ser usado em série com o mesmo nas nossas experiências com circuitos digitais:

$$R = \frac{5 - 1,2}{0,012} = 316,67\Omega \quad \text{ou:} \quad R = 330\Omega \quad (\text{valor comercial mais próximo})$$

A figura B.5 mostra o circuito à ser utilizado com o led para verificar níveis lógicos. No caso da figura B.5 repare que o led somente irá acender quando a saída da porta lógica estiver em nível lógico BAIXO (tensão = 0 Volts, o que gera uma d.d.p. não nula sobre o led). E a figura B.6 amplitudes de correntes típicas associadas com leds de diferentes cores.

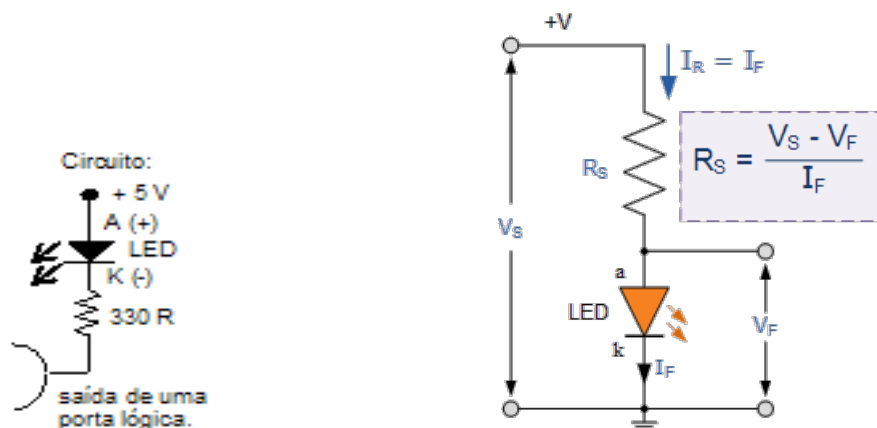


Figura B.5: Exemplo de conexão de um led à uma saída digital.

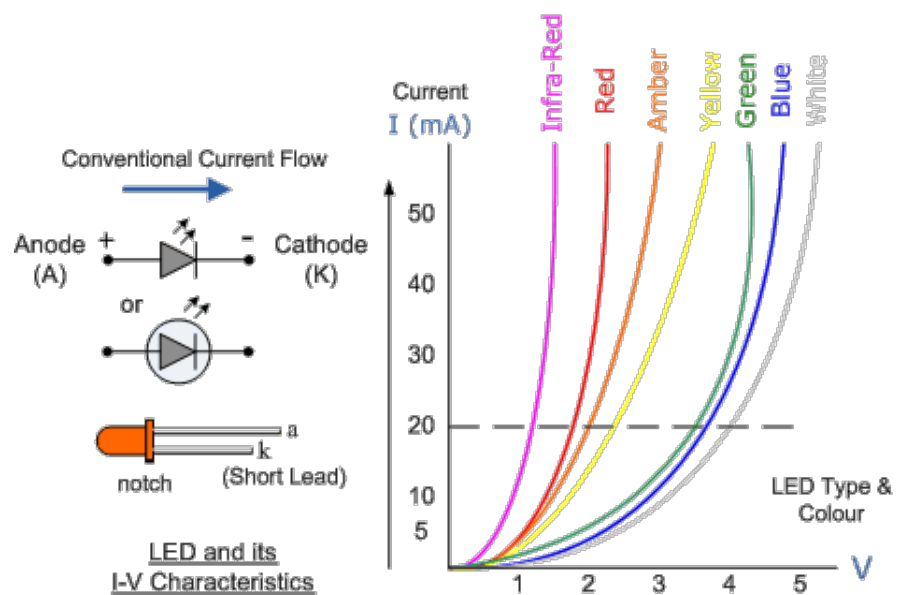


Figura B.6: Correntes típicas associadas com Leds de diferentes cores.

C | Instrumentos de Bancada

Segue uma lista de alguns instrumentos de laboratório previstos no Laboratório de Eletrônica Analógica e Digital (LEDAC):

- Fonte de Alimentação TEKTRONIX modelo CPS250;
- Gerador de Funções TEKTRONIX modelo CFG250;
- Frequencímetro Digital TEKTRONIX modelo CFC250;
- Osciloscópio Analógico TEKTRONIX modelo 2205GM;
- Multímetro Digital TEKTRONIX modelo CDM250;

C.1 Fontes de Alimentação

Os circuitos eletrônicos a serem utilizados nestas experiências de laboratório necessitam de uma fonte de alimentação (ou potência) para que funcionem.

Para o nosso caso em particular no qual estaremos trabalhando com circuitos integrados digitais da família TTL, a tensão de alimentação a ser utilizada é de 5 Volts com tolerância máxima de 5% (ou seja, tensão positiva de alimentação entre: 4,75 à 5,25 Volts – tensões superiores implicam em queima de CIs).



ATENÇÃO: Normalmente as fontes de alimentação do tipo que são empregadas em laboratórios de pesquisa e bancadas de testes, normalmente já possuem pares de terminais de saída com tensão fixa de 5 Volts $\pm$ 5%, identificados pela sigla “TTL”. Convém então antes de ligar a fonte de alimentação num circuito digital, verificar se o mesmo foi ligado nestes terminais, senão, qualquer outro valor de tensão de saída variável superior à 5,25 Volts vai implicar em queima de CIs, independente do tempo que durou esta ligação. Isto quer dizer: se a fonte de alimentação a ser utilizada possuir saídas identificadas com a sigla “TTL”, usar estes terminais, o implica na não necessidade de ajuste grosso ou fino da tensão de saída da fonte (o que vai acontecer com os outros terminais desta mesma fonte).

A figura C.1 mostra uma fonte simples – note que é possível fazer um ajuste grosseiro (“coarse”) e fino da tensão de alimentação (“fine”) e ainda é possível se ajustar a máxima corrente de saída (“Curent”) – esta fonte não possui uma saída pronta para circuitos digitais (tensão fixa de 5 Volts).

Já a figura C.2 mostra uma outra fonte contendo 2 conjuntos de terminais de saída de tensão simétricos (“–”, “GND” e “+”) e uma saída fixa padrão “TTL” (5 Volts fixos) – conforme indicado na figura.

Note ainda que existe uma certa convenção de cores a serem utilizadas com os conectores das fontes de alimentação. Normalmente os bornes vermelhos estão associados com o terminal de alimentação positivo da fonte (“+”), os bornes pretos ou verdes estão associados com o terra da conexão (“GND”).

A fonte disponível no laboratório (TEKTRONIX CPS250) é do tipo com uma saída fixa de 5 V @ 2 A e duas saídas variáveis entre 0 até 20 V @ 0,5 A supplies. A figura C.3 mostra o aspecto físico desta fonte.



Figura C.1: Exemplo de fonte de alimentação simples.



Figura C.2: Destacando a saída "TTL" numa fonte de alimentação.



Figura C.3: Fonte de Alimentação CPS250 da TEKTRONIX.

C.2 Geradores de Função ou de Sinais

O gerador de funções é o equipamento utilizado para introduzir formas de onda particulares dentro de um circuito eletrônico. A figura C.4 mostra o gerador de funções 33120A da HP (Faixa de frequências: de $100\mu\text{Hz}$ até 15MHz , com resolução de $10\mu\text{Hz}$ e precisão de 10ppm ; formas de onda: senoidal, quadrada, triangular, rampa, ruído, $\sin(x)/x$, exponencial amortecida; saída padrão de 50 Ohms , variável entre 50mV p-p até 10 Vp-p ; modulação AM/FM/FSK/Burst).

Já a figura C.5 mostra o aspecto físico do gerador de funções disponível no laboratório: modelo CFG250 da TEKTRONIX que produz formas de onda senoidal (*sine*), quadrada (*square*) e triangular (*triangle*), e possui saída específica para circuitos digitais (saída "TTL") e outra com faixa de excursão do sinal ajustável (*amplitude*) e ajuste do nível DC (*DC offset*), opções mais indicadas para uso com circuitos amplificadores, filtros analógicos. A frequência disponível varia de 0.2 Hz à 2 MHz (máximo, com distorção). No caso de geração de ondas quadradas, pode ser ajustado



Figura C.4: Gerador de funções 33120A da Hewlett Packard (atualmente Agilent Technologies).

ainda o seu ciclo de trabalho (*Duty cycle*).



Figura C.5: Gerador de funções CFG250 da TEKTRONIX.

No nosso caso, utilizaremos apenas a saída “TTL” (note: com níveis de tensões já calibrados entre 0 à 5 Volts), onda quadrada para gerar o sinal de “clock” necessário para circuitos com contadores (também ditos, seqüenciais).

C.3 Frequencímetros

Este equipamento é usado para verificar frequências disponíveis em pontos específicos de um circuito. Pode ser usado para verificar a frequência sendo gerada por um oscilador ou calibrar a frequência de clock necessária para algum circuito digital. A figura C.6 mostra um frequencímetro da HP (modelo Agilent 53181A; oferece saída offers a single 225 MHz channel standard, and you can choose an optional second channel that measures up to 1.5 GHz, 3 GHz, 5 GHz or 12.4 GHz. Features: Measurements include frequency, frequency ratio (with optional channel 2), period and peak voltage, automated limit tests and one-button measurement setups for fast, easy operation, onboard digital signal processing speeds measurements, built-in statistics feature lets you simultaneously measure average, min/max, and standard deviation, Small package fits the limited space on your benchtop).



Figura C.6: Frequencímetro 53181A da AGILENT/HEWLETT PACKARD.

C.4 Osciloscópios

No site: “<http://www.virtual-oscilloscope.com/>” pode ser executado um bom guia virtual explicando como operar um osciloscópio (está em inglês e exige o Macromedia Shockwave instalado no computador).

C.5 Bornes de Conexão

Pinos Banana

A figura C.7 mostra terminais do tipo “banana” normalmente empregados para realizar as ligações entre uma fonte de alimentação e o circuito a ser alimentado.



Figura C.7: Conectores do tipo “banana”.

Plugues BNC

Já a figura C.8 mostra plugues do tipo “BNC” normalmente utilizados para proceder as conexões de um circuito eletrônico com ligação com geradores de sinais (osciladores) ou saídas para osciloscópios. Note que estes plugues estão conectados à cabos blindados, isto é, com uma malha de terra, para reduzir a influência de interferências eletromagnéticas (ruído de lâmpadas fluorescentes, motores elétricos, circuitos eletrônicos de potência sem filtros de RF).



Figura C.8: Conectores do tipo “BNC”.

Plugues “jacaré”

Também podem ser encontrados cabos com terminais do tipo “jacaré” próprios para realizar conexões com componentes discretos soltos ou pontas de cabos – ver figura C.9.



Figura C.9: Conectores do tipo “jacaré”.

Cabos e conectores próprios para certos instrumentos

A figura C.10 mostra um cabo com terminais típicos para uso com um multímetro. Outros equipamentos de instrumentação como osciloscópios também possuem conectores especiais, como mostra a figura C.11 – note que a maioria delas possui uma chave no seu corpo que permite atenuar ($\times 10$) ou não o sinal ($\times 1$) (atenção para este detalhe).



Figura C.10: Cabo próprio indicado para uso com multímetro.



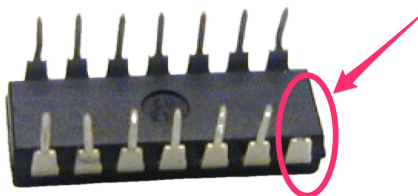
Figura C.11: Ponta de prova utilizada com osciloscópios.

D | Uso do Laboratório

Pede-se que os alunos mantenham uma certa organização e ordem no laboratório à fim de não prejudicar as experiências dos seus próximos colegas que irão continuar a utilizar o laboratório. Convém lembrar que as bancadas e equipamentos presentes nas bancadas são de uso compartilhado entre diferentes estudantes de diferentes níveis dos cursos de Engenharia Elétrica e Sequencial de Mecatrônica.

O aluno deve terminar cada experiência devolvendo em local apropriado os componentes eletrônicos utilizados e deve limpar a bancada que utilizou jogando fora os cabos ou restos de cabos, capinhas de fios não utilizados. Afinal de contas ninguém gosta de trabalhar num ambiente sujo.

Também no eventual caso de queima (inadvertida) de componentes eletrônicos pede-se que o aluno dobre seus terminais ("patinhas") a fim de inutilizar este componente e deixar claro que o mesmo perdeu a sua utilidade. Pede-se para que o aluno faça isto ao invés de simplesmente jogá-lo no lixo, para que o pessoal do almoxarifado se dê conta da baixa de um certo componente e possa processar a substituição do mesmo (compra de novos componentes), tentando manter um estoque mínimo para cada componente. Se o aluno não fizer isto, nem o professor nem o almoxarifado vão se dar conta da queda na quantidade em estoque de certo componente o que pode prejudicar o bom andamento de futuras experiências por falta de componentes. Ou pior, não parece ser agradável (para o aluno) perder um tempo considerável e valioso tentando fazer funcionar um componente queimado que algum aluno anterior queimou, por exemplo, um CI queimado pela metade – sim, há alunos que conseguem esta "proeza". Lembre-se: as aulas práticas possuem um tempo limitado para sua realização e recuperar aulas práticas está sujeito à disponibilidade de horários tanto por parte do professor quanto por parte do aluno.



Pede-se também especial atenção no uso dos equipamentos presentes nas bancadas. No caso do mesmo estar desconectado da corrente elétrica, pede-se o favor de verificar o nível de tensão do mesmo (110 ou 220 VCA) de forma a evitar a queima deste instrumento. Lembre-se: um instrumento à menos pode impossibilitar o trabalho de uma futura equipe de laboratório, portanto, tente colaborar com o bom funcionamento deste laboratório. Além disto, no caso de problemas com cabos e ponteiros, favor separar os mesmos e os entregá-los ao pessoal do almoxarifado de forma a que os mesmos possam proceder o seu concerto (para a próxima aula). Não tente usar ponteiros e bornes que não combinem (principalmente no caso de multímetros). Forçar o encaixe pode reverter na quebra do borne. E o concerto ou substituição de um equipamento de bancada pode levar todo um semestre.

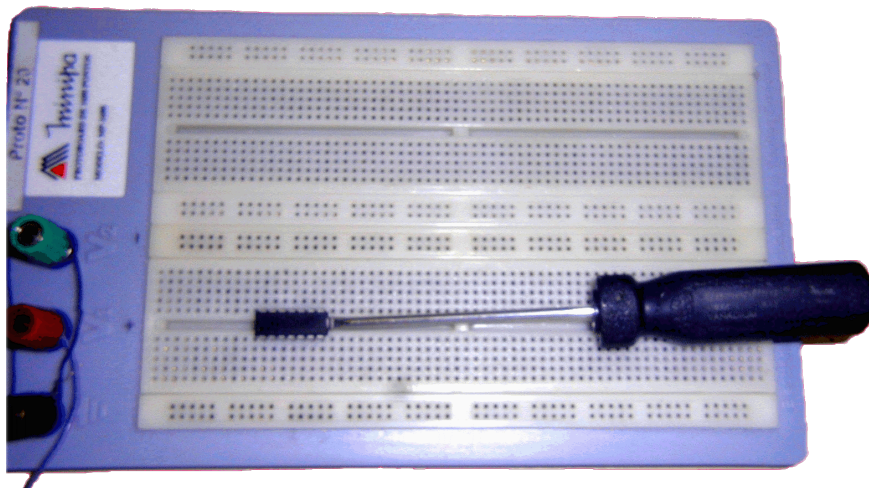


Figura D.1: Maneira correta de extrair CI de protoboard sem danificar seus pinos.

E | Portas Lógicas Básicas

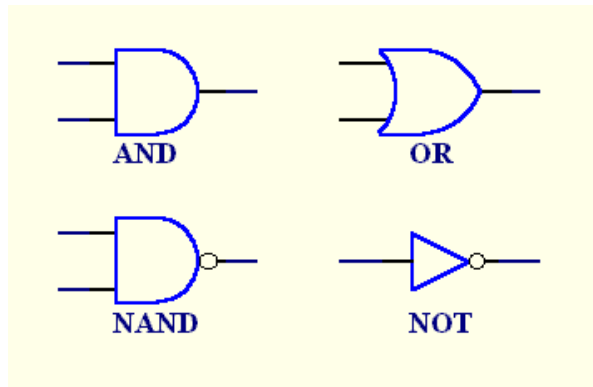


Figura E.1: Símbolos de algunas portas lógicas básicas.

<table><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	0	0	0	1	0	1	0	1	1	1	1	1	<table><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	0	0	0	1	0	0	0	1	0	1	1	1	<table><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	0	0	1	1	0	1	0	1	1	1	1	0	<table><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	0	1	1	0
0	0	0																																									
1	0	1																																									
0	1	1																																									
1	1	1																																									
0	0	0																																									
1	0	0																																									
0	1	0																																									
1	1	1																																									
0	0	1																																									
1	0	1																																									
0	1	1																																									
1	1	0																																									
0	1																																										
1	0																																										
OR	AND	NAND	NOT																																								

Figura E.2: Tabelas Verdade de algunas portas lógicas básicas.

F | Analogia com Relés

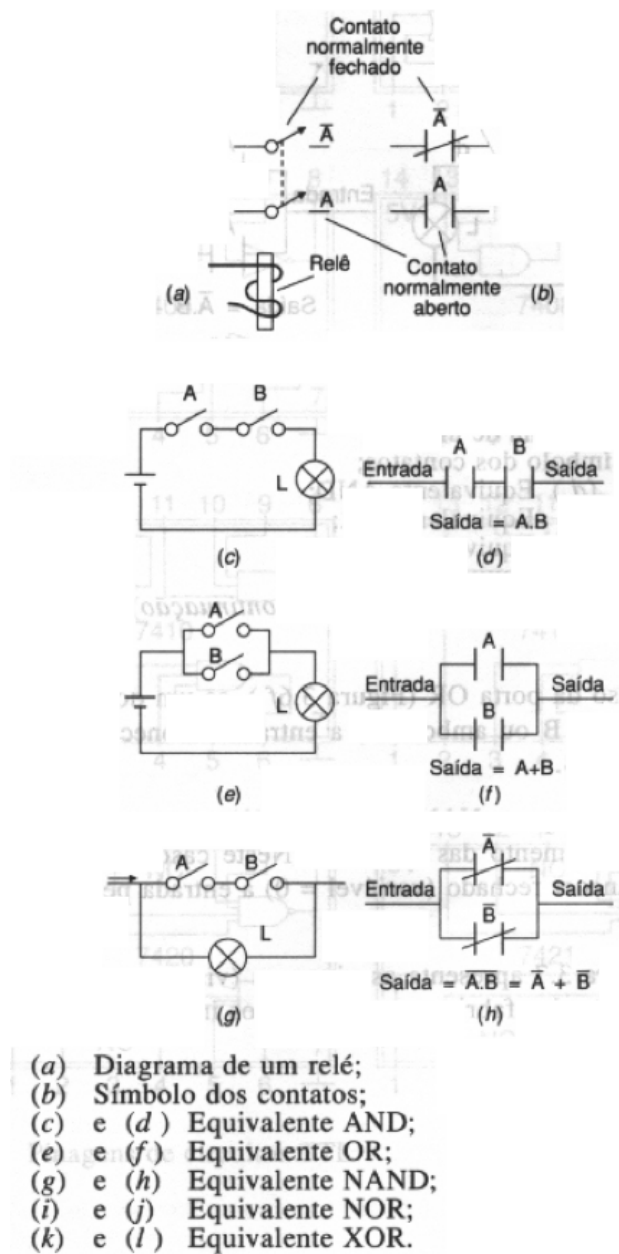


Figura F.1: Analogia de circuitos com relés e algumas portas lógicas básicas.

G | CI's TTL

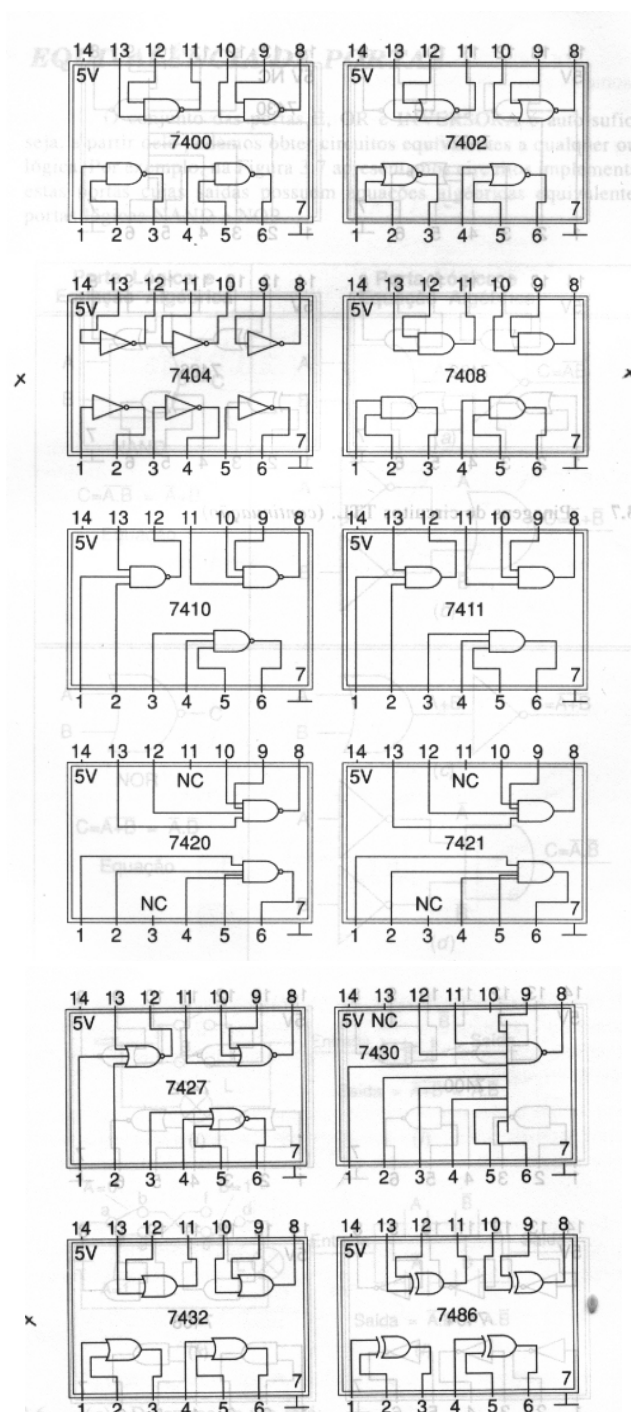


Figura G.1: Pinagens de alguns CIs TTL.

H | CI's CMOS

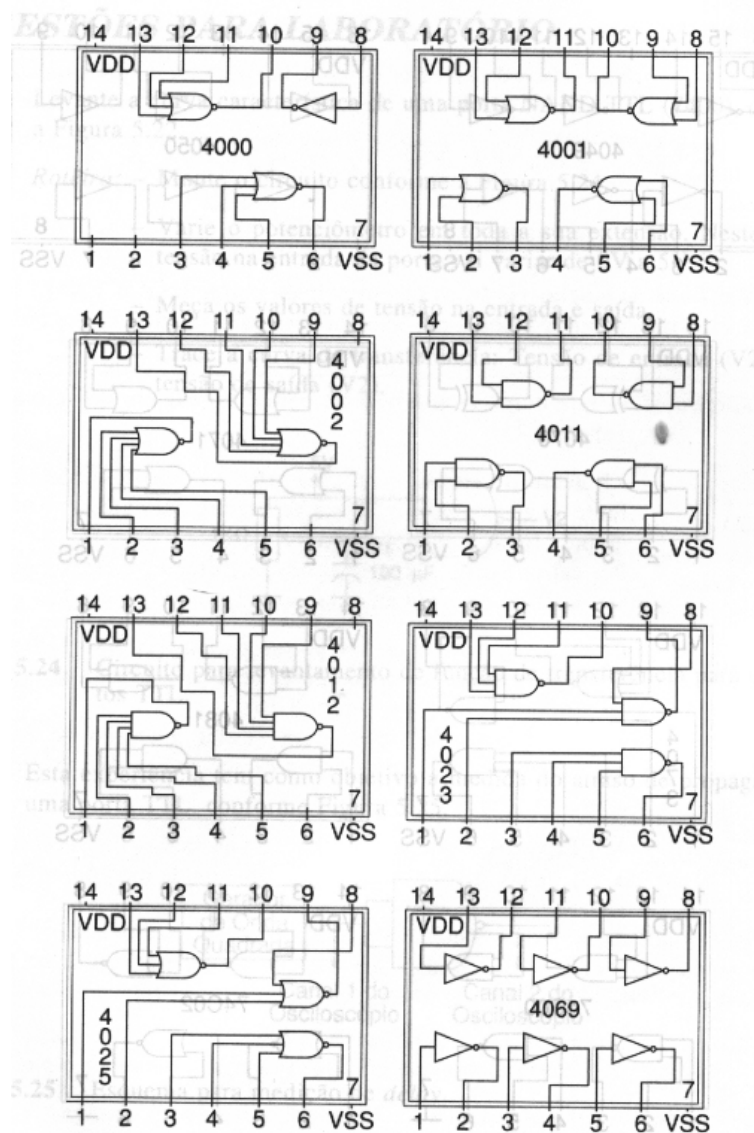


Figura H.1: Pinagens de alguns CIs CMOS.

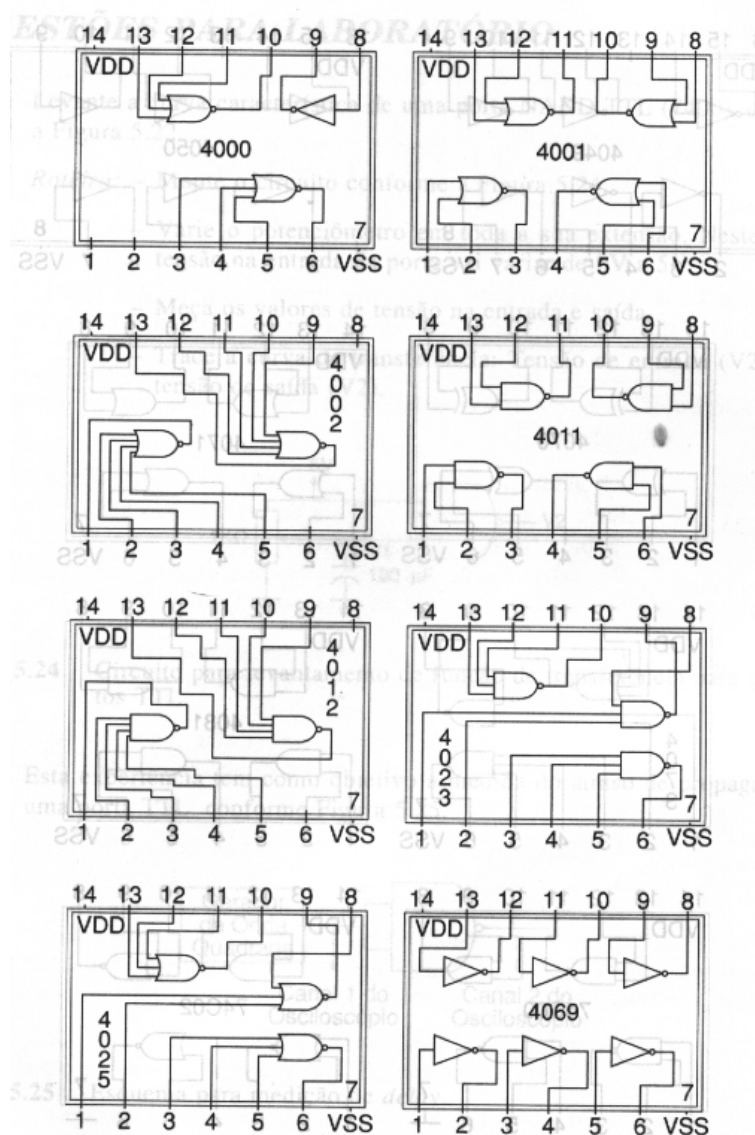


Figura H.2: Pinagens de alguns CIs CMOS (cont).

I | Parâmetros Elétricos de CI's TTL e CMOS

I.1 Família TTL (Transistor-Transistor-Logic)

A figura I.1 mostra os níveis de tensões padronizados para CI's da família TTL.

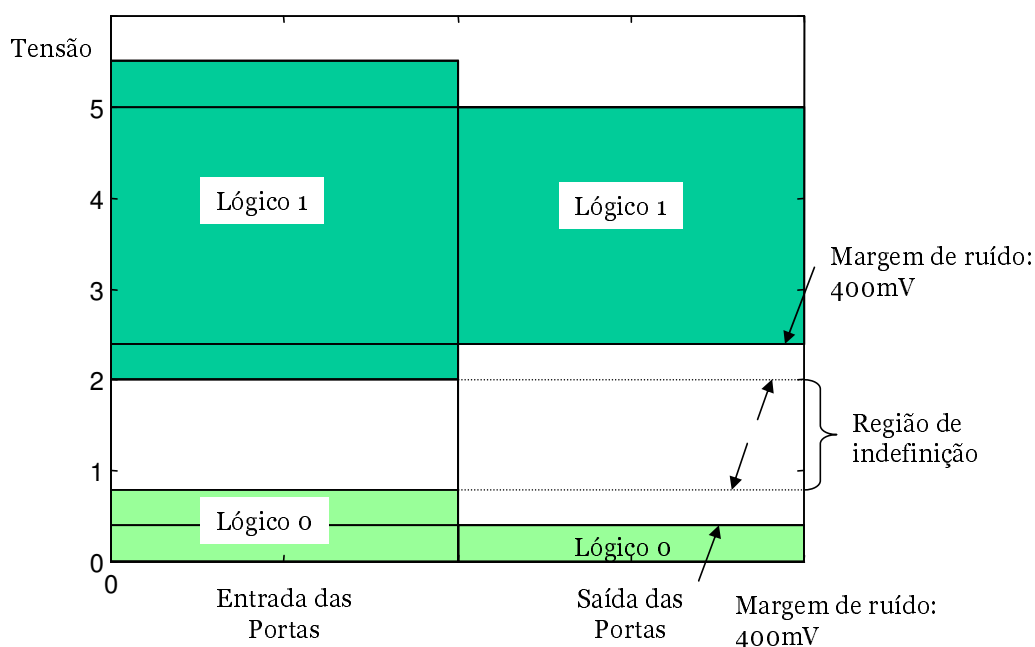


Figura I.1: Níveis de tensões em CI's TTL

Segue tabela I.1 com características principais de diferentes séries da família TTL.

Código	Série	Atraso de Propagação (ns)	Dissipação de Potência (mW)	Frequência Máxima (MHz)	Fan-out
74XX	Padrão	9	10	35	10
74SXX	Schottky	3	20	125	20
74LSXX	Low Schottky	9,5	2	45	20
74ASXX	Advanced Schottky	1,7	8	200	40
74ALSXX	Advanced Low Schottky	4	1,2	70	20
74FXX	Fast	3	6	100	33

Tabela I.1: Características principais das séries TTL

Séries da Família TTL

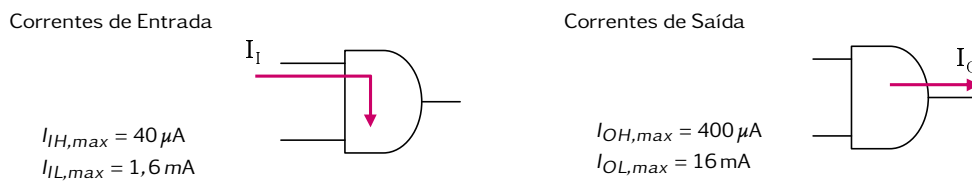
A série 74 **XX** opera usando comutação saturada na qual muitos de seus transistores, quando estão em condução, estão saturados. Esta operação provoca um atraso de tempo quando os transistores comutam do estado de condução (ON) para o estado de corte (OFF) e isto limita a velocidade de chaveamento do circuito.

A série 74 **S** XX reduz este tempo impedindo que o transistor fique intensamente saturado. Para impedir o transistor de saturar são usados diodos Schottky cuja tensão direta é de apenas 1,25 V.

A série 74 **LS** XX é uma versão de menor potência e menor velocidade que a série 74SXX. Ela usa o transistor Schottky porém polarizados com resistores de maior valor que da série 74SXX. Os resistores de maior valor reduzem a potência requerida pelo circuito, mas provocam aumento nos tempos de chaveamento dos transistores.

A série 74 **F** XX é a mais recente da família TTL. Ela utiliza técnicas para fabricação de CIs que reduz as capacidades entre os dispositivos internos para alcançar atrasos de propagação reduzidos.

Níveis de Corrente



I.2 Família CMOS (Complementary Metal Oxide Semiconductor)

A figura I.2 mostra os níveis de tensões padronizados para CIs da família TTL.

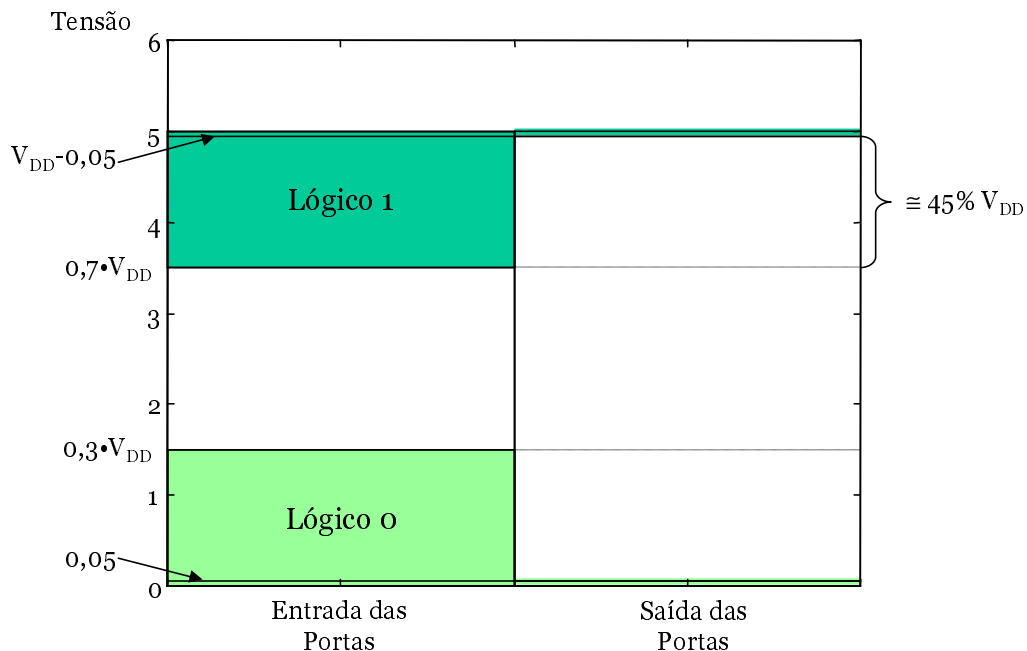


Figura I.2: Níveis de tensões em CIs CMOS

Séries de família CMOS

A seguir as principais séries da família CMOS:

Série 4000: a mais antiga, têm consumo muito baixo e podem operar numa larga faixa de tensões de alimentação (3 à 15V). São lentos quando comparados com TTL ou outras séries CMOS e possuem capacidade de corrente de saída muito baixa. Não são compatíveis nem pino à pino, nem eletricamente a nenhuma das séries TTL.

Série 74C: Compatível pino à pino e funcionalmente com componentes TTL seguindo a mesma numeração. As características de performance desta série são quase idênticas às da série 4000.

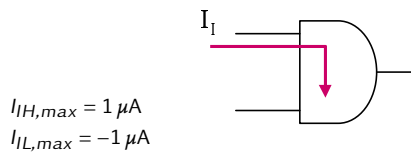
Série 74HC/74HCT: *High speed CMOS*, esta é uma versão aperfeiçoada da série 74C, com aumento na velocidade de operação comparável à componentes 74LS, e capacidade de corrente muito mais alta do que a série 74C. São ainda compatíveis pino à pino e funcionalmente com CIs TTL com a mesma numeração. Mas somente a série 74HCT é eletricamente compatível com TTL (níveis de tensão), isto significa que um CI 74HCT04 pode substituir diretamente um CI 74S04 e vice-versa. Isto também significa que um CI 74HCT pode ser conectado diretamente à qualquer CI TTL. Esta série têm tornado a série 74C obsoleta.

Série 74AC/74ACT: *Advanced CMOS logic* – esta série é funcionalmente equivalente a diversas séries TTL, mas não é compatível pino à pino com TTL. A razão para isto é que a disposição dos pinos desta série foi escolhida de forma a ampliar a imunidade à ruído tornando o dispositivo menos sensível às variações de sinal que ocorrem em outros CIs. A série 74AC não é compatível eletricamente com TTL, mas a série 74ACT pode ser conectada diretamente à dispositivos TTL. A série 74AC/74ACT oferece vantagens sobre a série 74HC com relação à imunidade a ruído, atraso de propagação de sinais e velocidade máxima de clock. Note que a numeração dos CIs desta série diferem um pouco dos números das séries TTL, 74C e 74HC/HCT. Eles usam 5 dígitos, começando pelos dígitos 11. Por exemplo: 74AC11 004 $\equiv$ 74HC 04, 74ACT11 293 $\equiv$ 74HCT 293.

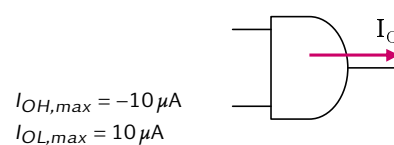
Série 74AHC/74AHCT: *Advanced High-speed CMOS* (CMOS avançado de alta velocidade) – esta é a mais nova série de dispositivos CMOS oferecida como uma migração natural das séries HC para aplicações de mais alta velocidade, baixo consumo e baixa capacidade de acionamento. Os componentes desta série são três vezes mais rápidos e podem ser usados como substitutos diretos de componentes da série HC.

Níveis de Corrente

Correntes de Entrada



Correntes de Saída



I.3 Tabelas comparativas TTL x CMOS

Níveis de Tensão

Parâmetro	CMOS							TTL			
	4000B	74HC	74HCT	74AC	74ACT	74AHC	74AHCT	74	74LS	74AS	74ALS
$V_{IH}(\text{mín})$	3,5	3,5	2,0	3,5	2,0	3,85	2,0	2,0	2,0	2,0	2,0
$V_{IL}(\text{máx})$	1,5	1,0	0,8	1,5	0,8	1,65	0,8	0,8	0,8	0,8	0,8
$V_{OH}(\text{mín})$	4,95	4,9	4,9	4,9	4,9	4,4	3,15	2,4	2,7	2,7	2,5
$V_{OL}(\text{máx})$	0,05	0,1	0,1	0,1	0,1	0,44	0,1	0,4	0,5	0,5	0,5

Tabela I.2: Níveis de tensão (em Volts) de entradas e saídas com $V_{DD} = V_{CC} = +5V$.

Níveis de Corrente

Parâmetro	CMOS				TTL				
	4000B	74HC/HCT	74AC/ACT	74AHC/AHCT	74	74LS	74AS	74ALS	74F
$I_{IH}(\text{máx})$	1 μA	1 μA	1 μA	1 μA	40 μA	20 μA	20 μA	20 μA	20 μA
$I_{IL}(\text{máx})$	1 μA	1 μA	1 μA	1 μA	1,6 mA	0,4 mA	0,5 mA	100 μA	0,6 mA
$I_{OH}(\text{máx})$	0,4 mA	4 mA	24 mA	8 mA	0,4 mA	0,4 mA	2 mA	400 mA	1,0 mA
$I_{OL}(\text{máx})$	0,4 mA	4 mA	24 mA	8 mA	16 mA	8 mA	20 mA	8 mA	20 mA

Tabela I.3: Correntes de entrada e saída com tensão de alimentação de 5V.

J | Código Gray

Este código, diferente da sequência binária tradicional é útil para codificar posições angulares, isto é, determinar ângulos de giros na saída de motores ou para determinar velocidade de rotação (rad/s). A figura J.1(a) mostra um caso típico de uso de código Gray no que chamamos de “encoders absolutos”.

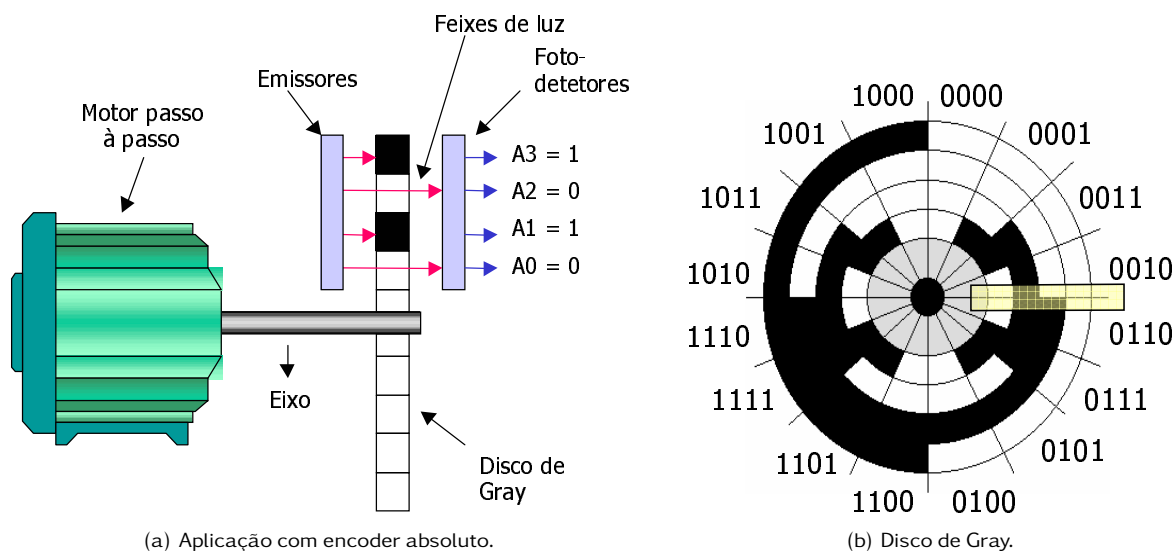


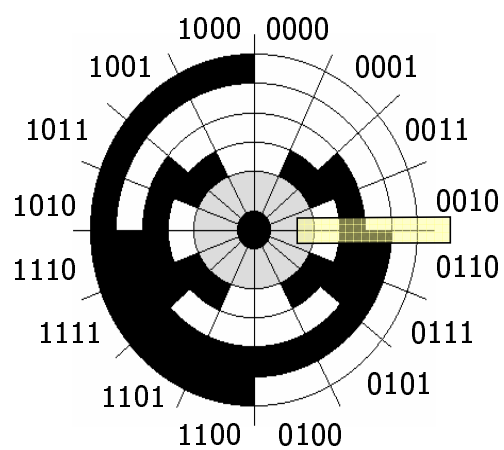
Figura J.1: Disco com código Gray.

A tabela J.1 relaciona uma sequência de códigos binários e código Gray. Repare que entre uma variação e outra do código Gray, **apenas um único bit se altera** – ver figura J.2.

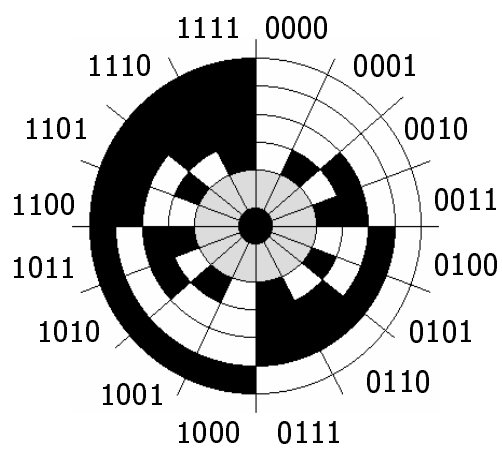
Coluna de Referência	Sequência Gray	Equivalente Decimal	Sequência Binária
0	0000	0	0000
1	0001	1	0001
2	0011	3	0010
3	0010	2	0011
4	0110	6	0100
5	0111	7	0101
6	0101	5	0110
7	0100	4	0111
8	1100	12	1000
9	1101	13	1001
10	1111	15	1010
11	1110	14	1011
12	1010	10	1100
13	1011	11	1101
14	1001	9	1110
15	1000	8	1111

Tabela J.1: Tabela de código Gray de 4 bits

O fato do código Gray alternar apenas 1 bit entre 2 códigos, minimiza erros de leitura se alguns dos foto-detecores se encontra desalinhado



(a) Disco com código Gray.



(b) Disco com sequência binária.

Figura J.2: Disco com seqüências de códigos.

frente à seus “companheiros” – ver figura J.3.

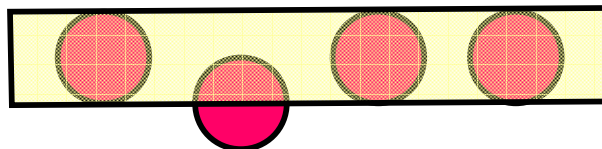


Figura J.3: Problema de alinhamento de sensores.

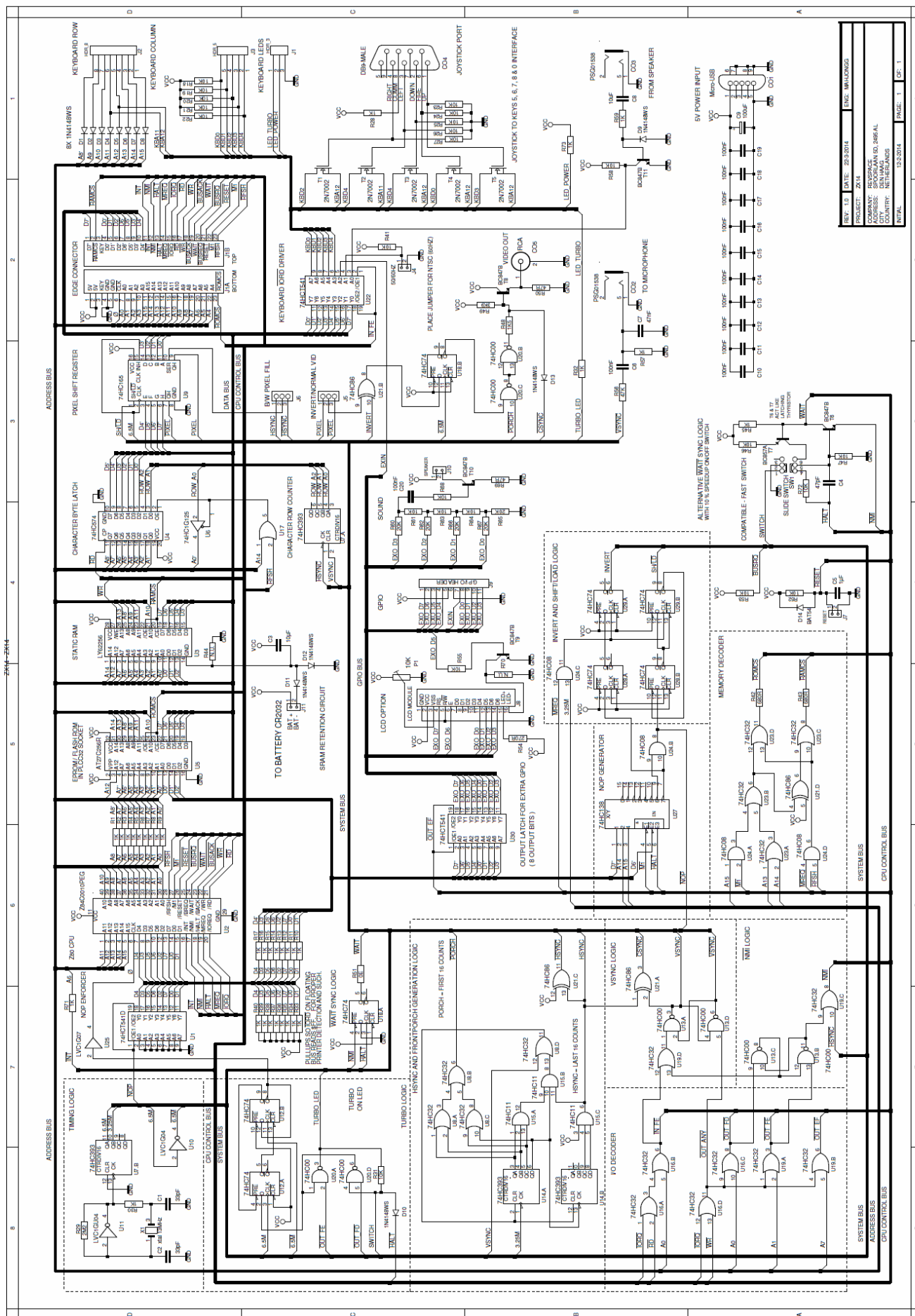


Diagrama elétrico de um mini-computador pessoal de 8-bits (anos 70).