

# Características Básicas de CIs Digitais

---

Características  
Básicas  
de CIs  
Digitais

## Sumário

<b>1</b>	<b>Transistor operando como chave</b>	<b>2</b>
<b>2</b>	<b>CIs TTL</b>	<b>3</b>
<b>3</b>	<b>Analogias elétricas de portas lógicas básicas</b>	<b>4</b>
<b>4</b>	<b>Encapsulamento de CIs</b>	<b>5</b>
<b>5</b>	<b>Escala de Integração de CIs</b>	<b>6</b>
<b>6</b>	<b>Família TTL</b>	<b>6</b>
6.1	Características das séries TTL . . . . .	7
6.1.1	Parâmetros gerais . . . . .	7
6.1.2	Tensões de entrada/saída em portas TTL . . . . .	7
6.1.3	Níveis de corrente e Fan-out em portas TTL . . . . .	7
6.2	Entradas flutuando . . . . .	9
6.3	Colocando entradas TTL em nível baixo . . . . .	9
<b>7</b>	<b>Família CMOS</b>	<b>10</b>
7.1	Dissipação de potência . . . . .	11
7.2	Entradas não usadas em CIs CMOS . . . . .	12
<b>8</b>	<b>Família BiCMOS</b>	<b>13</b>
<b>9</b>	<b>Família ECL</b>	<b>13</b>
<b>10</b>	<b>Comparativo TTL × CMOS</b>	<b>13</b>
10.1	Margens de Ruído . . . . .	13
10.2	Níveis de tensão . . . . .	15
10.3	Níveis de corrente . . . . .	15
10.4	Interfacenado dispositivos TTL e CMOS . . . . .	15
10.5	TTL acionando CMOS . . . . .	15
10.6	CMOS acionando TTL . . . . .	18

# 1 Transistor operando como chave

As transições entre 0 e 1 digitais são causadas por chaveamentos de um nível de tensão para outro (normalmente 0V à +5V). Uma das formas de obter este chaveamento é realizando e cortando um conexão elétrica de forma manual (chaves) ou via relés eletromecânicos. Outra forma é adotando-se dispositivos semicondutores como diodos e transistores.

Chaves manuais e relés quase sempre podem ser modeladas com resistências ideais ON e OFF. Quando a chave está ligada a resistência entre os contatos é nula ( $0 \Omega$ ) e quando a chave está aberta (contatos abertos do relé), a resistência é infinita.

No caso de um transistor é muito comum empregá-los para chavear circuitos eletrônicos. Este dispositivo semicondutor permite que um pequeno sinal aplicado na sua entrada determine que os outros dois terminais se transforme num circuito aberto ou num curto-circuito. Num circuito eletrônico, o sinal de entrada (1 ou 0) é normalmente aplicado a base do transistor, o que faz com que a junção coletor-emissor se transforme num curto circuito ou num circuito aberto.

Podemos descrever as regras de como o transistor comuta das seguintes formas:

1. Num transistor PNP, se uma tensão positiva for aplicada entre sua base e emissor, a junção coletor-emissor se transforma num circuito fechado (pode-se dizer que o "transistor foi ligado" ou que encontra-se "saturado"). Aplicar uma tensão negativa ou nula (0 V) da base para o emissor, faz com que a junção coletor-emissor se abra (podendo-se dizer que o "transistor foi desligado" ou que encontra-se em estado de "corte").
2. Num transistor NPN<sup>1</sup>, quando se aplica uma tensão negativa da base para o emissor, "liga-se" o transistor (ele conduz). E quando se aplica uma tensão positiva ou nula entre a base e o emissor, o transistor é "desligado".

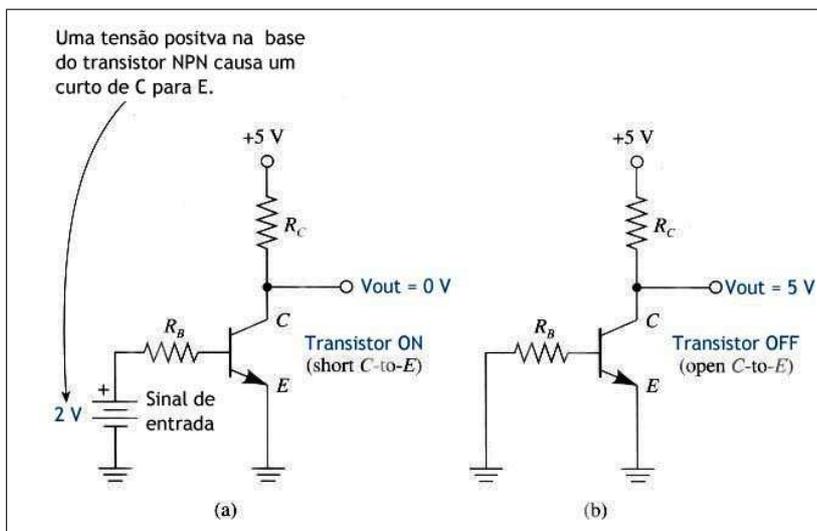


Figura 1: Chave com transistor NPN.

$$-(0 \text{ A} \times R_C) = 5 \text{ V.}$$

Sinais digitais normalmente são repassados para a base do transistor e a saída é retirada do coletor ou do emissor.

Repare ainda que provavelmente exista um resistor de carga ( $R_L$ ) entre o terminal  $V_{out}$  e o terra do circuito que serve para limitar a corrente circulando no terminal de saída do transistor. Por exemplo,  $R_C = 1\text{K}\Omega$  e  $R_L = 20\text{K}\Omega$ . Assim, quando o transistor está desligado (o sinal de entrada está com tensão zerada),  $V_{out}$  assume o seguinte nível de tensão:

$$V_{out} = \frac{5\text{V} \times 20\text{K}\Omega}{20\text{K}\Omega + 1\text{K}\Omega} = 4.76\text{V}$$

Já quando o transistor está ligado,  $V_{out} = 0\text{V}$ .

<sup>1</sup>Circuitos de transistor PNP são analisados da mesma forma que circuitos NPN, exceto que todas as tensões e correntes são reversas. Circuitos NPN são mais comuns na indústria e por isto são mais utilizados.

## 2 CIs TTL

A lógica transistor-transistor (**TTL** = *transistor-transistor logic*) é uma das mais empregadas nas tecnologias de CIs digitais. CIs TTL adotam uma combinação entre um punhado de transistores, diodos e resistores integrados numa mesma pastilha.

A função básica de um CI TTL é usá-lo como um chaveador ou inversor. O inversor é adotado para complementar o nível lógico de um sinal digital (levá-lo para o estado oposto).

Note que a tensão de saída um inversor (como o da figura 1) depende muito da resistência de carga ( $R_L$ ) presente na saída  $V_{out}$ . Por exemplo, se  $R_L = 1K\Omega$  e  $R_C = 1K\Omega$ , no caso de  $V_{in} = 0V$  (transistor em corte),  $V_{out}$  seria calculado como:

$$V_{out} = \frac{5V \times 1K\Omega}{1K\Omega + 1K\Omega} = 2.5V$$

Sendo assim, normalmente  $R_L > 10 \times R_C$ . Mas e se for feito  $R_L \gg R_C$ ? Neste caso, não haveria problemas quando o transistor está cortado ( $V_{out} = 1$ ), mas haveria problemas no caso do transistor saturado ( $V_{out} = 0$ ), porque a corrente de coletor seria excessivamente elevada se  $R_C$  fosse muito pequeno ( $I_C = 5V/R_C$ ) – ver figura 2.

Percebe-se então que existe um compromisso entre  $R_L$  e  $R_C$ . Quando o transistor está cortado ( $V_{out} = 1$ ), é desejável que  $R_C$  seja pequeno o suficiente para garantir  $V_{out}$  bem próximo de 5 V, mas quando o transistor encontra-se saturado, é desejado que  $R_C$  seja grande o suficiente para evitar uma corrente excessiva de coletor.

Assim, a necessidade de um resistor  $R_C$  “variável” é obtida num CI TTL associando-se diodos com transistores e resistores como demonstra a figura 3(a).

Acompanhe pela figura 3(a) e perceba que outro transistor ( $Q_4$ ) é colocado no lugar de  $R_C$  para atuar como uma resistência variável. O transistor  $Q_4$  é cortado (atua neste caso com um grande  $R_C$ ) quando o transistor de saída ( $Q_3$ ) é saturado, e de forma inversa,  $Q_4$  é saturado (atua neste caso como um baixo  $R_C$ )

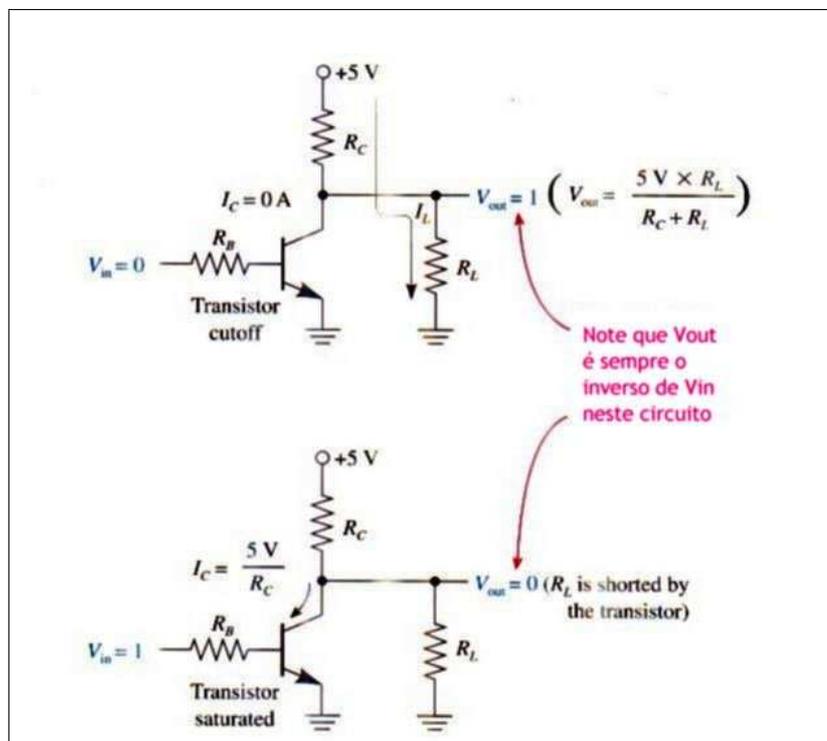


Figura 2: Considerações sobre chaveamento usando transistor.

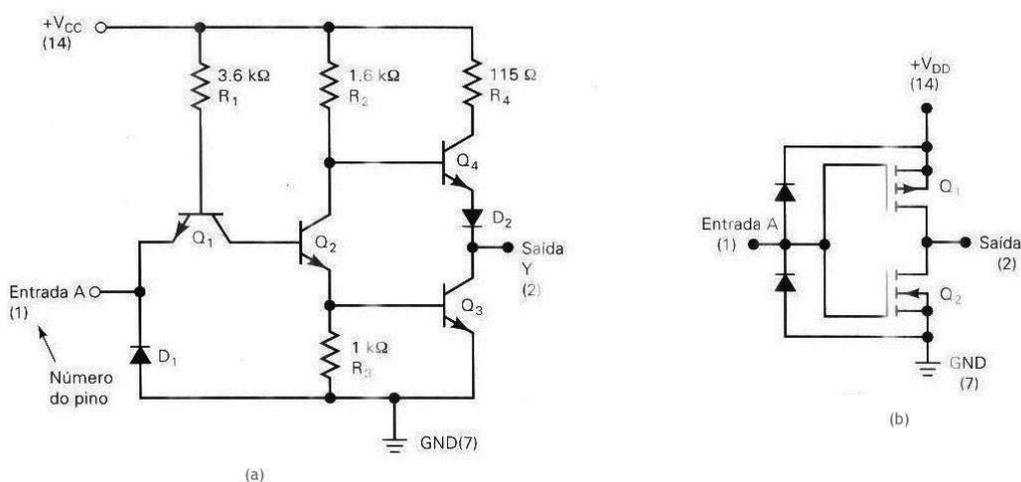


Figura 3: Circuitos internos de uma porta inversora: (a) lógica TTL e (b) lógica CMOS.

quando  $Q_3$  está cortado. Em outras palavras, quando um transistor está saturado, o outro encontra-se cortado. Esta combinação de  $Q_3$  e  $Q_4$  é conhecida como configuração “totem-pole”. O transistor  $Q_1$  é usado para direcionar  $Q_2$ , o qual é utilizado para controlar  $Q_3$  e  $Q_4$ . O diodo  $D_1$  é utilizado para proteger  $Q_1$  de tensões negativas que podem inadvertidamente serem colocadas na entrada inversora do circuito. Já o diodo  $D_2$  é adotado para garantir que quando  $Q_3$  sature,  $Q_4$  esteja totalmente cortado. E  $V_{CC}$  é a abreviatura normalmente adotada para indicar o ponto de alimentação positiva dos CIs TTL.

Assim como existem circuitos lógicos TTL, existem circuitos lógicos RTL (*resistor-transistor logic*) e DTL (*diode-transistor logic*) que na realidade foram os predecessores dos circuitos lógicos TTL.

Da mesma forma, circuitos lógicos trabalhando como chaves também podem ser obtidas empregando-se transistores de efeito de campo (FETs) usando tecnologia CMOS (*complementary metal oxide semiconductor*) – ver figura 3(b). Neste caso podem ser usados MOSFETs de canal P e canal N como elementos principais do circuito.

Comparando-se TTL com CMOS (pela própria figura 3) percebe-se que a versão CMOS usa bem menos componentes. Essa é uma das principais vantagens da família CMOS sobre a TTL (possibilita maior escalas de integração).

### 3 Analogias elétricas de portas lógicas básicas

A figura 4 mostra uma analogia elétrica para uma porta AND usando: (a) chaves manuais e (b) transistores como chaves.

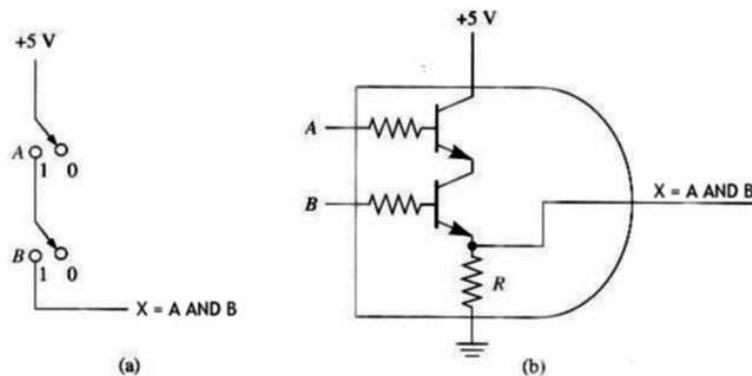


Figura 4: Analogias elétricas para porta AND.

A figura 5 mostra a analogia elétrica para uma porta OR usando: (a) chaves elétricas e (b) transistores operando como chaves.

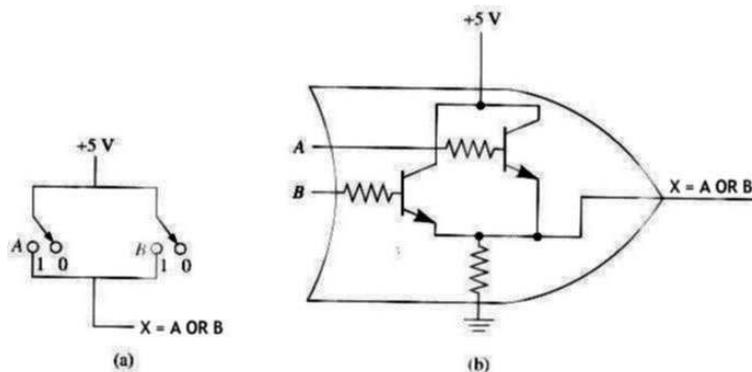


Figura 5: Analogias elétricas para porta OR.

## 4 Encapsulamento de CIs

A figura 6 mostra o típico encapsulamento DIP (dual-in-line package), adotado por boa parte dos fabricantes de semicondutores mas que está sendo gradualmente substituído por versões ainda mais reduzidas próprias para circuitos SMDs (surface-mount devices).



Figura 6: Vistas de encapsulamento DIP.

A figura 7 mostra 2 tipos de encapsulamentos SMD: o do tipo (a) SOIC (*Small Outline Integrated Circuit*) – soldado diretamente na placa e (b) PLCC (*Plastic Leaded Chip Carrier*) – conectado à placa de circuito impresso através de um soquete especial para PLCC. Os pinos do encapsulamento SOIC possuem uma forma similar à “asas de gaivota” para facilitar sua soldagem. Já os pinos do encapsulamento PLCC possuem um formato em “J” que se curvam sob o CI. Este encapsulamento permite tanto soldagens em placas de circuito impresso próprias para SMD quanto inserção em soquetes PLCC específicos – por isto, sendo adotado em equipamentos que facilitem troca de componentes ou manutenção.

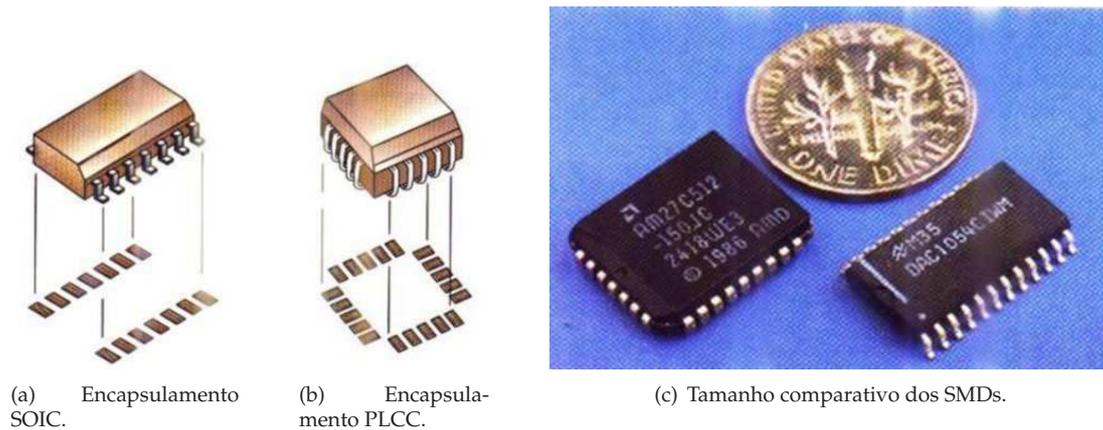


Figura 7: Encapsulamentos típicos SMDs para CIs.

A figura 8 mostra o interior de uma pastilha de silício com encapsulamento DIP.

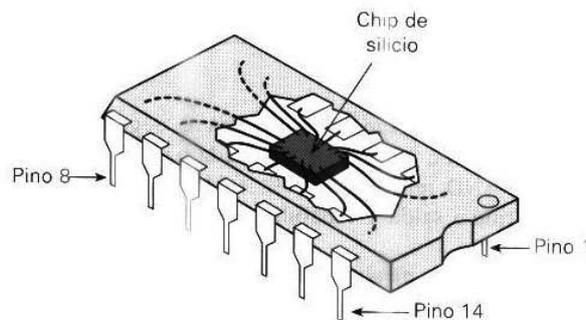


Figura 8: Visão interna de um encapsulamento DIP.

No encapsulamento DIP, a altura típica é de 5,1 mm e o passo entre os pinos é fixo de 2,54 mm. No encapsulamento SOIC e PLCC o espaçamento é de 1,27 mm variando a altura entre os mesmos: respectivamente: 2,65 mm e 4,5 mm.

## 5 Escala de Integração de CIs

A tabela 1 referencia diferentes escalas de integração envolvidas com os CIs.

Complexidade	Portas por Chip
Integração em pequena escala (SSI)	≤ 12
Integração em média escala (MSI)	12 a 99
Integração em larga escala (LSI)	100 a 9.999
Integração em escala muito larga (VLSI)	10.000 a 99.999
Integração em escala ultra-larga (ULSI)	100.000 a 999.999
Integração em escala giga (GSI)	1.000.000 ou mais

Tabela 1: Escalas de integração em CIs

## 6 Família TTL

A família lógica TTL consiste de várias subfamílias ou séries. A tabela 2 relaciona o nome de cada uma das séries com a letra intermediária utilizada para identificar os diferentes CIs que compõem estas séries.

As diferenças entre as séries TTL têm relação com características elétricas como: dissipação de potência (calor) e velocidade de chaveamento (tempo de propagação de sinais). Não diferem na disposição dos pinos ou na operação lógica realizada pelos circuitos internos.

Séries TTL	Prefixo	Exemplo de CI
TTL padrão	74	7404 (inversor sêxtuplo)
TTL Schottky	74 S	74 S 04 (inversor sêxtuplo)
TTL Schottky de baixa potência	74 LS	74 LS 04 (inversor sêxtuplo)
TTL Schottky avançada	74 AS	74 AS 04 (inversor sêxtuplo)
TTL Schottky avançada de baixa potência	74 ALS	74 ALS 04 (inversor sêxtuplo)
TTT rápido ( <i>fast</i> )	74 F	74 F 04 (inversor sêxtuplo)

Tabela 2: Séries de CIs dentro da família TTL

Note que antecedendo o número do CI, segue um **prefixo** que indica o **fabricante** daquele componente. Por exemplo: 74F04 indica que trata-se de uma porta inversora sêxtupla da série “*fast*” TTL, fabricante Signetics. A National Instruments usa o prefixo **DM** e a Texas Instruments o prefixo **SN** (por exemplo: SN74LS04).

Existe ainda sufixos no final do número do componente, que neste caso especificam o tipo de encapsulamento. O **sufixo N** é utilizado **para encapsulamento** DIP (por exemplo: SN74F04N), o **W** para encapsulamento chato cerâmico (*ceramic flatpack*), o **D** é utilizado para o encapsulamento SOIC.

**Série 54XX:** indica CIs voltados para uso militar, com baixíssimo consumo de corrente, e temperatura de operação entre -55°C até +125°C.

**Série 74XX:** foi iniciada na década 1960, as séries seguintes representam aperfeiçoamentos nos circuitos internos destes CIs, trabalha na faixa de 0°C até +70°C.

**Série 74S:** a série Schottky surgiu como uma opção para aumentar a velocidade de operação da série tradicional. Esta série resolve o problema de descargas capacitivas presentes nas bases dos transistores, acrescentando um diodo de grampeamento do tipo Schottky, da junção de base para o coletor dos transistores da série tradicional. Isto faz com que excessos de carga e descarga do capacitor envolvido entre a base e o coletor do transistor comum seja passado diretamente para o coletor e assim o transistor acaba operando abaixo da região de saturação. O diodo Schottky possui uma junção de metal especial que minimiza sua própria capacitância interna, minimizando os efeitos capacitivos e melhorando assim as velocidades de comutação. A série Schottky adota além dos diodos Schottky, menores valores internos de resistência nos seus circuitos. Assim, o tempo de atraso de propagação (*propagation delay time*) desta série chega a ser reduzido em 4 vezes em comparação com à serie tradicional.

**Série 74F:** consistiu num outro avanço relacionado com um novo processo de integração denominado de isolação por óxido (*oxide isolation*). Nesta última série os transistores são isolados entre si, não através de uma junção polarizada de forma reversa, mas usando-se um canal de óxido. Isto reduz dramaticamente o tamanho

da pastilha, diminuindo as capacitâncias intrínsecas naturais presentes na pastilha, reduzindo desta forma, os atrasos de propagação de sinais.

## 6.1 Características das séries TTL

### 6.1.1 Parâmetros gerais

A tabela 3 apresenta os valores típicos para alguns parâmetros de cada uma das séries TTL.

Parâmetro	74	74S	74LS	74AS	74ALS	74F	Unidade
Atraso de propagação ( $t_{PD}(méd)$ )	9	3	9,5	1,7	5	3	ns
Dissipação de potência ( $P_D$ )	10	20	2	8	1,2	6	mW
Produto velocidade-potência	90	60	19	13,6	4,8	18	pJ
Taxa máxima de clock ( $f_{máx}$ )	35	125	45	200	70	100	MHz
Fan-out (mesma série)	10	20	20	40	20	33	

Obs:  $t_{PD}(méd) = (t_{PLH} + t_{PHL})/2 =$  valor médio do atraso de propagação.

Tabela 3: Características típicas das séries TTL.

A coluna  $pJ$  na tabela 3 refere-se ao produto da velocidade  $\times$  potência dos CIs digitais. Geralmente é desejável obter menores atrasos de propagação ( $t_{PD}$ ) e baixos valores de potência dissipada ( $P_D$ ). O parâmetro  $pJ$  é útil para comparar o desempenho de diferentes famílias e séries de CIs digitais. Observe que quando o atraso de propagação está em nanosegundos e a potência está em miliwatts, o produto velocidade-potência está em picojoules. Obviamente é desejável um baixo valor para o produto velocidade-potência. Os projetistas de CIs estão sempre tentando obter circuitos com menores atrasos de propagação, entretanto é difícil nestes casos diminuir a potência dissipada devido a natureza dos circuitos de chaveamento.

### 6.1.2 Tensões de entrada/saída em portas TTL

Para usar circuitos digitais é necessário que se façam as conexões apropriadas aos pinos de alimentação dos CIs. As conexões mais importantes são as de alimentação CC e terra. Estas conexões são necessárias para que o circuito interno do chip opere corretamente. A fonte de alimentação CC é ligada a um pino e o terra (GND) a outro.

Para dispositivos TTL, o pino de alimentação contínua,  $V_{CC}$  é de +5V (tensão nominal) e as faixas de tensão e de corrente, tanto de entrada como de saída trabalham dentro de faixas específicas como as relacionadas na tabela 4.

### 6.1.3 Níveis de corrente e Fan-out em portas TTL

Fan-out é o parâmetro que indica quantas portas de saída do mesmo tipo uma porta é capaz de acionar sem comprometer os níveis de tensões lógicas. Este parâmetro está relacionado com a capacidade de drenar corrente das portas de um circuito lógico. Para determinar quantas entradas diferentes a saída de um CI pode acionar, é necessário conhecer-se a capacidade de corrente de saída ( $I_{OL}(máx)$  e  $I_{OH}(máx)$ ) e os requisitos de corrente de cada entrada (isto é,  $I_{IL}$  e  $I_{IH}$ ) – ver figura 9.

A tabela 5 ilustra as correntes envolvidas num circuito com lógica TTL. Este parâmetro é importante para definir a capacidade máxima de carregamento de uma porta TTL.

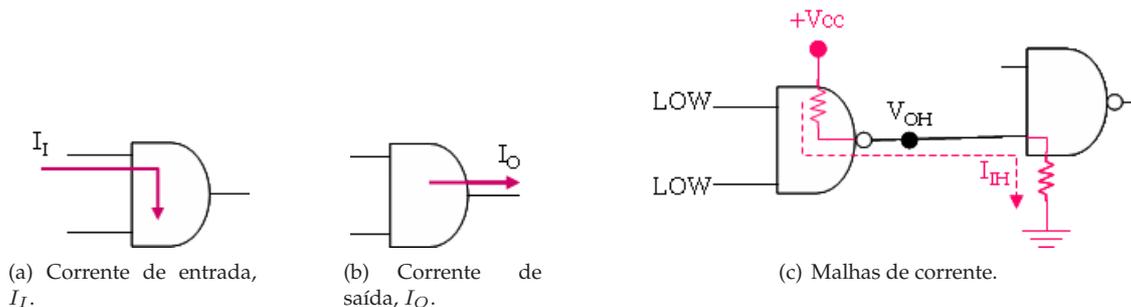


Figura 9: Correntes circulando por CIs.

Sigla	Valor	Parâmetros Elétricos	Observações
$V_{CC}$	$+5\text{ V} \pm 5\%$	Tensão de Alimentação	Valores válidos quando a temperatura de operação positiva é menor do que $70^\circ\text{C}$ .
$GND$	$0\text{ V}$	Terra	Ponto de tensão nula. CIs TTL não admitem tensões negativas de alimentação!
$V_{IL}$	$\leq 0,8\text{ V}$	Tensão de entrada, nível lógico BAIXO	Valores de tensão na entrada de uma porta lógica ( $V_{IL}$ : I=input, L=Low), menores do que $0,8\text{V}$ são interpretados como nível lógico 0.
$V_{IH}$	$\geq 2,0\text{ V}$	Tensão de entrada, nível lógico ALTO	Valores de tensão na entrada de uma porta lógica ( $V_{IH}$ ), maiores do que $2,0\text{V}$ são interpretados como nível lógico 1.
$V_{OL}$	$\leq 0,4\text{ V}$	Tensão de saída, nível lógico BAIXO	Valores de tensão na saída de uma porta lógica ( $V_{OL}$ ), menores que $0,4$ representam o estado lógico 0. $V_{OL}$ típico = $0,35\text{ V}$ .
$V_{OH}$	$\geq 2,4\text{ V}$	Tensão de saída, nível lógico ALTO	Valores de tensão na saída de uma porta lógica ( $V_{OH}$ : O=Output, H=High) acima de $2,4\text{V}$ representam nível lógico 1. $V_{OH}$ típico = $3,4\text{ V}$ .
$I_{IL,máx}$	$\leq 1,6\text{ mA}$	Correntes de entrada, nível lógico BAIXO	A corrente na entrada de uma porta lógica no caso de nível lógico 0 máxima que um CI do tipo TTL vai exigir é da ordem de: $I_{IL,máx} = 1,6\text{ mA}$ .
$I_{IH,máx}$	$\leq 40\mu\text{A}$	Corrente de entrada, nível lógico ALTO	A corrente de entrada de uma porta lógica no caso de nível lógico 1 máxima exigida por estes CIs é da ordem de: $I_{IH,máx} = 40\mu\text{A}$ .
$I_{OL,máx}$	$\leq 16\text{ mA}$	Corrente de saída, nível lógico BAIXO	A máxima corrente de saída que pode ser drenada de uma porta lógica no caso de nível lógico 0, $I_{OL,máx} = 16\text{ mA}$ .
$I_{OH,máx}$	$\leq 400\mu\text{A}$	Corrente de saída, nível lógico ALTO	A máxima corrente de saída que pode ser drenada de uma porta lógica no caso de nível lógico 1, $I_{OH,máx} = 400\mu\text{A}$ .

Tabela 4: Parâmetros elétricos gerais da família TTL, série LS.

Séries TTL	Entradas		Saídas	
	$I_{IH}$	$I_{IL}$	$I_{OH}$	$I_{OL}$
74	$40\mu\text{A}$	$-1,6\text{ mA}$	$-0,4\text{ mA}$	$16\text{ mA}$
74S	$50\mu\text{A}$	$-2\text{ mA}$	$-1\text{ mA}$	$20\text{ mA}$
74LS	$20\mu\text{A}$	$-0,4\text{ mA}$	$-0,4\text{ mA}$	$8\text{ mA}$
74AS	$20\mu\text{A}$	$-0,5\text{ mA}$	$-2\text{ mA}$	$20\text{ mA}$
74ALS	$20\mu\text{A}$	$-0,1\text{ mA}$	$-0,4\text{ mA}$	$8\text{ mA}$
74F	$20\mu\text{A}$	$-0,6\text{ mA}$	$-1\text{ mA}$	$20\text{ mA}$

Tabela 5: Parâmetros de corrente para portas TTL.

**Exemplo<sub>1</sub>:** Quantas portas NAND 74ALS00 podem ser acionadas pela saída de uma porta NAND 74ALS00?

**Solução:** Se a saída da porta NAND estiver em nível lógico BAIXO, ela pode drenar no máximo  $8\text{ mA}$  (parâmetro  $I_{OL}$ ). Já as outras portas NAND vão exigir, cada uma,  $0,1\text{ mA}$  (parâmetro  $I_{IL}$ ). Isto quer dizer que o número de portas NAND que o 74ALS00 pode acionar é igual a:

$$\begin{aligned} fan - out_{(BAIXO)} &= \frac{I_{OL}}{I_{IL}} \\ &= \frac{8\text{ mA}}{0,1\text{ mA}} \\ &= 80 \end{aligned}$$

Note que o sinal negativo para  $I_{IL}$  indica que a corrente flui para fora do terminal de entrada. Falta analisar o caso da saída NAND quando está em nível lógico ALTO. Neste caso:

$$\begin{aligned} fan - out_{(ALTO)} &= \frac{I_{OH}}{I_{IH}} \\ &= \frac{400\mu\text{A}}{20\mu\text{A}} \\ &= 20 \end{aligned}$$

Então na realidade, a porta NAND do 74ALS00 pode acionar no máximo 20 portas do mesmo tipo (considerando-se o pior caso, quando esta porta está em nível lógico ALTO, que é o caso em que esta porta é capaz de drenar a menor quantidade de corrente).

**Exemplo<sub>2</sub>:** A saída de um porta NAND 74ALS00 está acionando 3 entradas de portas 74S e uma entrada 7406. Determine se existe um problema de acionamento de carga.

**Solução:**

1. Analisando o caso para saída em nível lógico ALTO.  
Determinando a corrente exigida pelas portas ligadas ao primeiro 74ALS00:

$$\begin{aligned} I_{H,total} &= 3 \cdot (I_{IH} \text{ para } 74S) + 1 \cdot (I_{IH} \text{ para } 74) \\ &= 3 \cdot (50 \mu A) + 1 \cdot (40 \mu A) \\ &= 190 \mu A \end{aligned}$$

O valor de  $I_{OH}$  para a saída do 74ALS é  $400 \mu A$  que é maior que a soma das cargas ( $190 \mu A$ ). Isso não representa problema quando a saída está em nível lógico ALTO.

2. Analisando agora o caso para saída em nível lógico BAIXO:

$$\begin{aligned} I_{L,total} &= 3 \cdot (I_{IL} \text{ para } 74S) + 1 \cdot (I_{IL} \text{ para } 74) \\ &= 3 \cdot (2 \text{ mA}) + 1 \cdot (1,6 \text{ mA}) \\ &= 7,6 \text{ mA} \end{aligned}$$

O parâmetro  $I_{OH}$  para uma saída do 74ALS é de  $8 \text{ mA}$ , que é menor que a soma das cargas ( $7,6 \text{ mA}$ ). Isto também não representa problema quando a saída estiver em nível em nível lógico BAIXO.

## 6.2 Entradas flutuando

Qualquer entrada de CI TTL deixada desconectada (flutuando, em aberto) age exatamente como se o nível lógico 1 houvesse sido aplicado àquela entrada. O que acontece é que a junção base-emissor do transistor de entrada, ou o diodo da entrada, não estará diretamente polarizado.

Entretanto, a técnica mais recomendável nestes casos é conectar as entradas não utilizadas a  $+5 \text{ V}$  por meio de um resistor de  $1 \text{ K}\Omega$ . Este resistor serve simplesmente para proteção de corrente das junções base-emissor das entradas da porta no caso de *spikes* na fonte de alimentação. Até 30 entradas não utilizadas podem compartilhar o mesmo resistor de  $1 \text{ K}\Omega$  ligado a  $V_{CC}$  – ver figura 10.

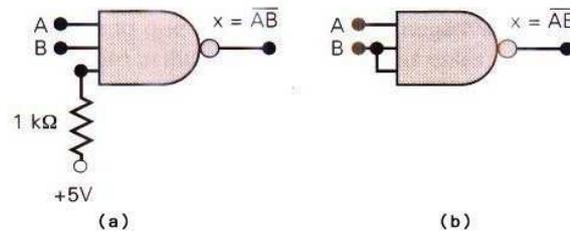


Figura 10: Formas de tratar entradas lógicas não usadas.

## 6.3 Colocando entradas TTL em nível baixo

Ocasionalmente surgem situações nas quais uma entrada TTL deve ser mantida normalmente em nível lógico baixo pela atuação de uma chave mecânica – ver figura XX. Neste caso, o resistor  $R$  serve para manter a entrada  $T$  em nível baixo enquanto a chave permanece aberta. Deve-se dimensionar  $R$  para um valor baixo o suficiente para que a tensão sobre ele, devido a corrente  $I_{IL}$  que flui da entrada da porta TTL, não exceda  $V_{IL}(máx)$ . Desta forma, o maior valor de  $R$  é dado por:

$$R_{max} = \frac{V_{IL}(máx)}{I_{IL}}$$

$R$  deve ser mantido abaixo deste valor para garantir que a entrada da porta TTL se mantenha em nível lógico baixo enquanto a chave estiver aberta.

Já o valor mínimo de  $R$  é determinado pelo consumo de corrente da fonte de  $5 \text{ V}$  quando a chave for fechada. Na prática, essa corrente deve ser minimizada mantendo-se  $R$  ligeiramente abaixo de  $R_{máx}$ .

**Exemplo<sub>3</sub>:** Determine o valor aceitável para  $R$  se a porta TTL for da série 74LS com um corrente  $I_{IL}$  de 0,4 mA.

**Solução:** O valor de  $I_{IL}$  será no máximo de 0,4 mA. Este valor máximo seria utilizado para determinar  $R_{máx}$ . Sabemos que  $V_{IL}(máx) = 0,8$  V para a serie 74LS. Sendo assim:

$$R_{máx} = \frac{0,8 \text{ V}}{0,4 \text{ mA}} = 2000 \Omega$$

Uma boa escolha para este caso, seria:  $R = 1,8 \text{ K}\Omega$ , que é um valor comercial padrão para resistores com tolerância de 5%.

## 7 Família CMOS

Nos últimos 10 anos aproximadamente a família TTL vêm sendo gradativamente substituída pela família CMOS (semiconductor de óxido metálico complementar). Esta tecnologia é derivada da estrutura básica MOS (*metal-oxide-semiconductor*) que consiste de um eletrodo de metal sobre um óxido isolante, que por sua vez está sobre um estrato de semicondutor. Os transistores implementados com a tecnologia MOS são transistores de efeito de campo denominados **MOSFETs**. Isto significa que o campo elétrico do eletrodo de metal do lado do óxido isolante tem um efeito sobre a resistência do substrato. A maioria dos CIs de tecnologia MOS é construída completamente com MOSFETs e mais nenhum outro componente.

As principais vantagens dos circuitos MOSFETs é que eles são relativamente simples, de baixo custo de fabricação, pequenos e consomem muita pouca potência. Sua fabricação representa um terço da complexidade de fabricação de CIs bipolares (TTL, ECL, etc). Além de seus transistores ocuparem muito menos espaço na pastilha que os bipolares. Notar ainda que CIs MOS normalmente não usam elementos resistivos internos (na pastilha), que normalmente ocupam muita área na pastilha de CIs bipolares.

A tabela 6 mostra algumas séries da família CMOS.

Séries CMOS	Prefixo	Exemplo de CI
CMOS de porta metálica	40	40 01 (portas NOR quádruplas)
CMOS de porta metálica, pinagem compatível com TTL	74 C	74 C 02 (portas NOR quádruplas)
CMOS de porta de silício; alta velocidade; pinagem compatível com TTL	74 HC	74 HC 02 (portas NOR quádruplas)
CMOS de portas de silício; alta velocidade; pinagem e parâmetros elétricos compatíveis com TTL	74 HCT	74 HCT 02 (portas NOR quádruplas)
CMOS de alto desempenho; pinagem e parâmetros elétricos incompatíveis com TTL	74 AC	74 AC 02 (portas NOR quádruplas)
CMOS de alto desempenho; pinagem não compatível com TTL; parâmetros elétricos compatíveis com TTL	74 ACT	74 ACT 02 (portas NOR quádruplas)

Tabela 6: Séries da família CMOS.

**Série 4000:** foi a primeira produzida (pela RCA). É funcionalmente equivalente à série 14000 da Motorola. Esta série inicial é muito lenta quando comparados com CIs TTL ou com outras séries CMOS, além da baixíssima capacidade de corrente de saída. A série 4000B é uma série melhorada em relação à 4000 no que se refere à proteções contra descargas estáticas nas entradas de seus MOSFETs.

**Série 74C:** é compatível pino a pino e funcionalmente com componentes TTL seguindo a mesma numeração porém seu desempenho é similar a série CMOS inicial 4000. Esta série foi desenvolvida para ser compatível pino à pino com a série TTL, facilitando os casos de trocas. Usa o mesmo esquema de numeração dos TTL. Apesar de dissiparem menos potência que a família TTL, continua sendo uma série bem mais lenta.

**Série 74HC/HCT:** constituem uma versão aperfeiçoada da série 74C, com aumento na velocidade de operação (compatível com a série 74LS da série TTL) e aumento na sua capacidade de corrente de saída, além de manterem a compatibilidade pino a pino e funcionalidade com a série TTL seguindo a mesma numeração. Entretanto, apenas a série 74HCT é eletricamente compatível com a família TTL (do ponto de vista de faixas de tensão e corrente), já a série 74HC não. Isto significa, por exemplo, que um 74S04 pode ser diretamente trocado por um 74HCT04 mas não por um 74HC04.

**Série 74AC/ACT:** representam um avanço na série 74C em termos de velocidade (é uma série mais rápida que a 74C). Entretanto, a série 74AC não é compatível pino a pino com os CIs da família TTL. Somente a série

ACT pode ser conectada diretamente com CIs da família TTL. A série AC é superior a série HC em imunidade de ruído, atraso de propagação de sinais e velocidade máxima de clock. Notar ainda que a série AC usa 5 dígitos para representar o número (e função) do dispositivo, sendo que os 2 primeiros dígitos são sempre 11, por exemplo: 74AC11004 = 74HC04 e 74ACT11293 = 74HCT293. E a série 74AHC/AHCT é a mais nova de dispositivos CMOS, voltada para aplicações de mais alta velocidade, baixo consumo e baixa capacidade de acionamento. Esta última série é 3 vezes mais rápida e podem ser utilizados como substitutos diretos da série HC.

**Séries 74 CMOS de baixa tensão:** esta nova série foi desenvolvida para trabalhar com tensões de operação de 3,3 V ou menores, de forma a atender a demanda por projetos que requerem baixa tensão de alimentação, consumo extremamente baixo, usados em circuitos alimentados a baterias e dispositivos portáteis. Trabalham com os seguintes sufixos:

- LV – *Low-Voltage HCMOS*. Esta série trabalha com tensões entre 1,2 a 3,6 V. Quando operada com tensões entre 3,0 a 3,6 V pode ser interfaceada diretamente com níveis TTL. Seu chaveamento é rápido, da ordem de 9 ns.
- LVC – *Low-Voltage CMOS*;
- LVT – *Low-Voltage Technology*. Da série LV é a que consegue drenar maiores correntes de saída, até 32 mA.
- AVC – *Advanced Low-Voltage CMOS*. Esta série possui rápida capacidade de chaveamento, com atrasos de propagação menores que 2 ns, tornando possível sua operação com barramentos de PC trabalhando a até 100 MHz (10 ns de período de clock) – sem necessidade de interfaces lógicas com estágios de *wait states*. Os circuitos internos desta série ajustam automaticamente sua impedância de saída durante as transições de níveis lógicos de forma a minimizar os efeitos de chaveamento em frequências elevadas.
- HLL – *High-speed Low-power Low-voltage*.

Resumindo, CIs MOS permitem maior escala de integração tornando-os particularmente interessantes para fabricação de CIs complexos como microprocessadores, microcontroladores e memórias. A família TTL 74AS ainda é mais rápida que o melhor dispositivo CMOS, mas ao custo de uma dissipação de potência muito maior.

A família CMOS utiliza como principais elementos semicondutores, portas MOSFETs de canal-P e canal-N. A tabela 6 mostra algumas séries da família CMOS. Notar que os MOSFETs quando usados como elementos chaveadores, comutam com uma baixa resistência quando no estado “ON” ( $R_{ON} = 1000 \Omega$  típico) e podem ser considerados um circuito aberto quando no estado “OFF” ( $R_{OFF} = 10^{10} \Omega$  típico). Se compararmos CIs TTL e CMOS percebemos que a versão CMOS usa menos componentes, e por usar MOSFETs trabalha com altas impedâncias de entrada ( $10^{12} \Omega$ ) o que significa, baixíssimo consumo de corrente.

As séries CMOS normalmente não compartilham a mesma disposição de pinos entre si nem com pastilhas TTL.

## 7.1 Dissipação de potência

Quando um circuito lógico CMOS está estático (não está comutando), sua dissipação de potência é extremamente baixa. Este fato se deve a resistência muito alta presente entre os terminais  $V_{DD}$  e  $GND$  porque existe sempre um MOSFET desligado no caminho da corrente. Como resultado, a dissipação de potência CC (em regime permanente) dos circuitos CMOS é de apenas 2,5 nW por porta quando  $V_{DD} = 5$  V. Mesmo quando  $V_{DD} = 10$  V, essa dissipação de potência aumenta apenas 10 nW. Por isto, dispositivos CMOS são especialmente indicados para aplicações onde os circuitos são alimentados por baterias, ou em que existe um sistema de emergência com bateria.

Mas a dissipação de potência de dispositivos CMOS aumenta com a frequência. Por exemplo, uma porta NAND CMOS dissipa 10 nW quando está em das condições CC, mas passa a dissipar 0,1 mW numa frequência de 100 Kpps e 1 mW a 1 MHz. Isto se deve a capacitância parasita existente na entrada da porta CMOS. Mesmo sendo muito baixa <sup>2</sup>, ela cria um transitório de corrente nos momentos de comutação entre níveis lógicos fazendo com que, momentaneamente (por um curto período de tempo), os MOSFET de saída conduzam parcialmente. Isso efetivamente diminui a resistência entre a fonte de alimentação e o terra. Então em frequências muito altas, as séries CMOS começam a perder algumas de suas vantagens em relação à outras famílias lógicas. Como regra geral, uma porta CMOS manterá a mesma dissipação de potência que uma porta TTL 74LS em frequências próximas de 2 a 3 MHz. Acima desta faixa, a potência de dissipação de dispositivos TTL também aumenta proporcionalmente com a frequência de comutação

<sup>2</sup>Tipicamente um capacitor na faixa de 5 pF para GND, carregado via um resistor de 100 K $\Omega$  para o caso de portas de entrada N-MOS e de 1 K $\Omega$  para o caso de portas P-MOS

## 7.2 Entradas não usadas em CIs CMOS

Infelizmente, dispositivos MOS são muito susceptíveis a eletricidade estática, o que implica procedimentos adequados de manuseio em laboratório (pulserias eletrostáticas, plásticos que não acumulam eletricidade estática, bancadas bem aterradas). Desta forma, dispositivos TTL são mais robustos para experimentos de laboratório. E isto implica em que CIs CMOS NUNCA devem trabalhar com entradas flutuando. A porta de entrada CMOS não conectada fica suscetível a ruído e a eletricidade estática que poderiam facilmente polarizar os MOSFETs canal-P e canal-N para um estado de comutação, resultando no aumento da dissipação de potência e possível superaquecimento.

Os CIs CMOS mais modernos possuem uma rede resistor-diodo para proteger suas entradas e saídas dos efeitos de descargas eletrostáticas (ESDs), mas precauções ainda devem ser tomadas como:

1. Conectar os chassis de todos os instrumentos de teste, pastas de ferro de solda e a própria bancada de trabalho no terra da rede. Isto impede o acúmulo de carga estática nestes dispositivos que poderia ser transferida para qualquer placa de circuito impresso ou CI que entrada em contato com os mesmos.
2. O próprio operador deve conectar ao terra da rede usando uma pulseira especial. Isto permite que cargas potencialmente perigosas do corpo sejam descarregadas para o terra. Por exemplo, quando andamos sobre um carpete, nosso corpo pode adquirir uma carga estática de mais de 30.000 V. Esta diferença de potencial se aplicada na fina camada de óxido contida nos canais P ou N dos dispositivos CMOS supera sua capacidade de isolamento elétrico – ver figura 11(b). E quando esta camada de óxido se rompe, o fluxo de corrente resultante (descarga) é semelhante a um raio que fura a camada de óxido danificando permanentemente o dispositivo CMOS.

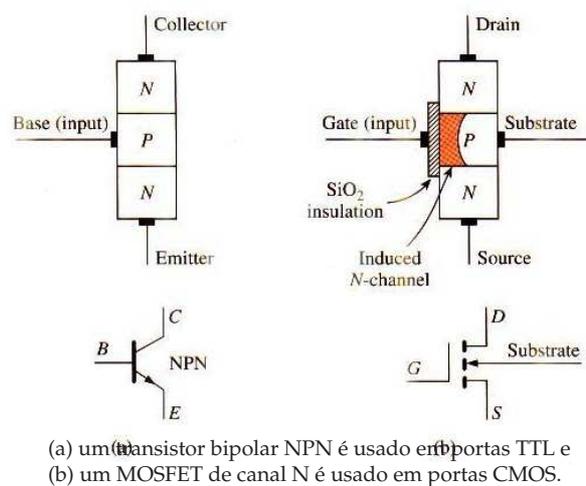


Figura 11: Diagramas simplificados de transistores bipolares e de efeito de campo.

A pulseira especial contém um resistor de  $1\text{ M}\Omega$  que limita a corrente a um valor não letal no caso do operador acidentalmente tocar numa tensão “viva” enquanto estiver trabalhando com os equipamentos.

3. Os CIs devem ser mantidos numa espuma condutora ou sobre folha de papel alumínio. Isto faz com que todos os pinos do CI CMOS estejam em curto, impedindo que diferenças de potencial perigosas possam se desenvolver entre dois pinos.
4. Evitar tocar nos pinos do CI CMOS e inseri-los imediatamente no circuito após sua remoção da embalagem protetora.
5. Curto-circuitar os conectores localizados em extremos das bordas das placas de circuito impresso quando estiverem sendo transportadas. Armazenar as placas de circuito impresso em plástico condutor ou envelopes metálicos.
6. Entradas não utilizadas de CIs CMOS tendem a acumular eletricidade estática e por isto não devem ser deixadas abertas.

## 8 Família BiCMOS

A família BiCMOS tenta combinar as melhores características da lógica bipolar e da CMOS. O baixo consumo do CMOS e a alta velocidade dos circuitos bipolares são integrados para produzir uma família lógica de consumo extremamente baixo e de alta velocidade. A família BiCMOS é utilizada para interface com microprocessadores e em aplicações que envolvam memórias como latches, buffers, drivers (acionadores) e transeptores. A série 74BCT (*BiCMOS Bus-Interface Technology*) oferece uma redução de 75% de consumo em relação à família 74F, ao mesmo tempo em que mantêm a velocidade de operação e as características de acionamento similares. Os componentes desta série são compatíveis pino a pino com componentes TTL padrão e operam com níveis lógicos segundo o padrão de 5V. A série 74ABT (*Advanced BiCMOS Technology*) é a segunda geração dos dispositivos de interface de barramento BiCMOS.

## 9 Família ECL

A família TTL usa transistores operando no modo saturado. Como resultado a velocidade de seu chaveamento é limitada pelo atraso de tempo de armazenamento associado ao transistor que é levado à saturação. Outra família lógica bipolar foi desenvolvida evitando a saturação do transistor, aumentando assim a velocidade global de chaveamento. Esta família lógica é denominada de lógica com acoplamento pelo emissor (*Emitter-coupled logic – ECL*). Sua operação se baseia no princípio do chaveamento de corrente, no qual uma corrente fixa de polarização menor que a saturação é chaveada do coletor de um transistor para o outro. Devido a este modo de operação por corrente, esta forma de lógica é também conhecida como lógica em modo de corrente (*Current-Mode Logic – CML*).

Como exemplo, a série ECLin PS da Motorola possui atraso de propagação máximo de 500 ps (que corresponde a meio nanosegundo) e uma taxa de comutação de 1,4 GHz. Outros dispositivos desta família lógica possuem atraso de propagação de apenas 100 ps consumindo uma potência média de 5 mW, implicando numa relação velocidade-potência de 0,5 pJ.

A tabela 7 compara velocidades de comutação e outros parâmetros entre diferentes séries e famílias de circuitos lógicos.

Família Lógica	$t_{PD}$ (ns)	$P_D$ (mW) <100 KHz	Margem de ruído pior caso (mV)	Máxima taxa de Clock (MHz)	Velocidade- Potência (pJ)
74AS	1,7	8	300	200	13,6
74F	3,8	6	300	100	22,8
74AHC	3,7	0,006	550	130	0,02
74AVC	2	0,006	250	—	0,012
74ALVT	2,4	0,33	400	—	0,79
74ALB	2,2	1	400	—	2,2
ECL	0,3	25	150	1400	7,5

— = não disponíveis nestas séries.

Tabela 7: Comparando dispositivos lógicos de alta velocidade.

## 10 Comparativo TTL × CMOS

Para dispositivos TTL,  $V_{CC}$  é +5V ±5% (nominal). Para dispositivos CMOS,  $V_{DD}$  pode estar situado na faixa que vai de +3 a +18 V, embora +5 V seja a tensão mais utilizada, principalmente quando dispositivos CMOS são usados em um mesmo circuito, em conjunto com dispositivos TTL. As séries CMOS 4000/14000 e 74C operam com  $V_{DD}$  variando entre 3 a 15 V. As séries CMOS 74HC/HCT, 74AC/ACT e 74AHC/AHCT operam com tensões de alimentação numa faixa mais estreita, geralmente entre os 2 e 6 V.

Para dispositivos TTL e CMOS, as figuras 12(a) e 13(b) mostram as diferentes faixas de tensão de operação.

### 10.1 Margens de Ruído

Repare pelas tabelas 12(a) e 13(b) que a série CMOS é mais imune à ruído, isto é, as margens de ruído suportadas pela família CMOS são bem maiores que os das série TTL quando as duas famílias são alimentadas usando o mesmo nível de tensão. A margem de ruído para o nível lógico alto ( $V_{NH}$ ) pode ser calculado como:

$$V_{NH} = V_{OH}(min) - V_{IH}(min)$$

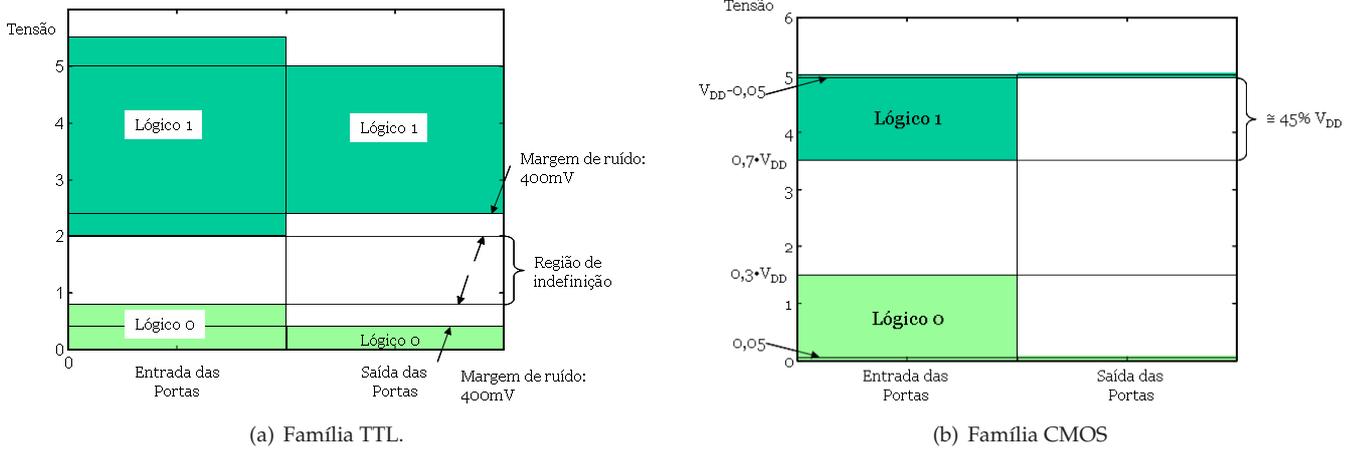
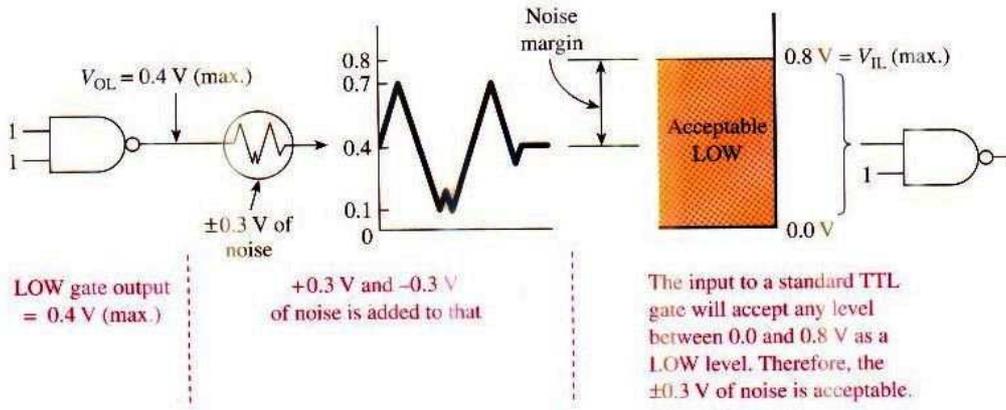


Figura 12: Faixas de tensões de operação para CIs TTL e CMOS.

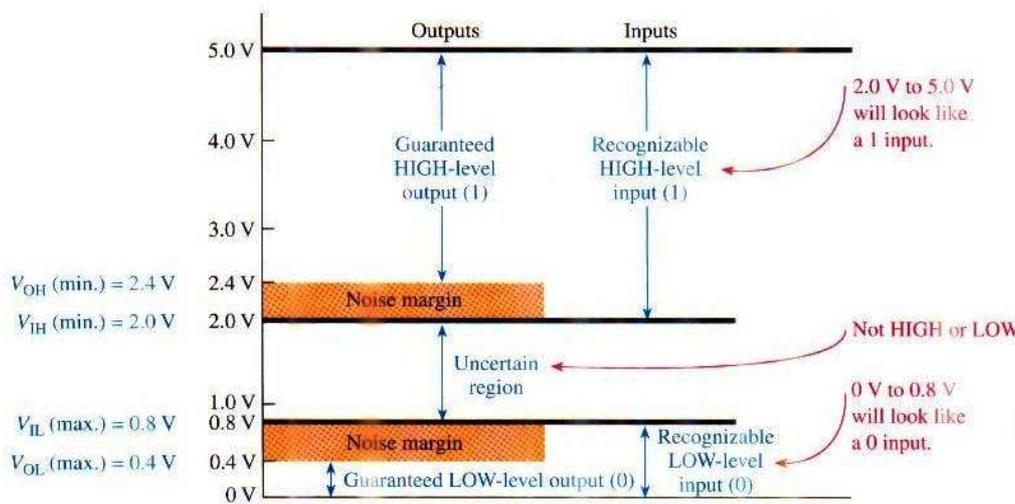
E para o nível lógico baixo:

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

Note que principalmente em nível lógico baixo, quando uma saída está acionando outra entrada lógica, qualquer "spike" de ruído positivo maior de  $V_{NL}$  pode fazer com que a tensão vá para a faixa indeterminada. Esta diferença seria ainda maior se os CIs CMOS fossem alimentados com tensões superiores à 5 V. Isto justifica porque CIs CMOS são a escolha natural para ambientes com problemas de ruído elétrico e eletromagnético. A figura 13 demonstra um problema prático de ruído em circuitos TTL.



(a) Ruído adicionado a nível lógico baixo.



(b) Ilustração dos níveis de tensão lógicos para CIs TTL.

Figura 13: O problema do ruído em circuitos digitais.

## 10.2 Níveis de tensão

A tabela 8 lista alguns parâmetros elétricos de tensão para algumas séries das famílias TTL e CMOS.

Parâmetro	TTL				CMOS							
	74	74LS	74AS	74ALS	4000B	74HC	74HCT	74AC	74ACT	74AHC	74AHCT	
$V_{IH}(mín)$	2,0	2,0	2,0	2,0	3,5	3,5	2,0	3,5	2,0	3,85	2,0	
$V_{IL}(máx)$	0,8	0,8	0,8	0,8	1,5	1,0	0,8	1,5	0,8	1,65	0,8	
$V_{OH}(mín)$	2,4	2,7	2,7	2,5	4,95	4,9	4,9	4,9	4,9	4,4	3,15	
$V_{OL}(máx)$	0,4	0,5	0,5	0,5	0,05	0,1	0,1	0,1	0,1	0,44	0,1	
$V_{NH}$	0,4	0,7	0,7	0,7	1,45	1,4	2,9	1,4	2,9	0,55	1,15	
$V_{NL}$	0,4	0,3	0,3	0,4	1,45	0,9	0,7	1,4	0,7	1,21	0,7	

Tabela 8: Níveis de tensão (em Volts) para séries TTL e CMOS, quando  $V_{CC} = V_{DD} = +5V$ .

## 10.3 Níveis de corrente

A tabela 9 mostra os parâmetros de corrente entre diferentes séries TTL e CMOS. Pode-se perceber que as diferenças de fluxos de corrente entre as diferentes séries e famílias TTL e CMOS pode comprometer circuitos que necessitam um interfaceamento entre estas 2 famílias.

Em frequências mais altas, as séries CMOS começam a perder algumas de suas vantagens sobre outras famílias lógicas. Como regra geral uma porta CMOS terá a mesma dissipação de potência que uma porta TTL 74LS na frequência de 2 a 3 MHz. Acima destas frequências, a potência de dispositivos TTL também aumenta com a frequência devido à corrente requerida para inverter a carga na capacitância de carga (parâmetro  $C_{LOAD}$ ).

Parâmetro	TTL					CMOS			
	74	74LS	74AS	74ALS	74F	4000B	74HC/HCT	74AC/ACT	74AHC/AHCT
$I_{IH}(máx)$	40 $\mu$ A	20 $\mu$ A	20 $\mu$ A	20 $\mu$ A	20 $\mu$ A	1 $\mu$ A	1 $\mu$ A	1 $\mu$ A	1 $\mu$ A
$I_{IL}(máx)$	1,6mA	0,4mA	0,5mA	100 $\mu$ A	0,6mA	1 $\mu$ A	1 $\mu$ A	1 $\mu$ A	1 $\mu$ A
$I_{OH}(máx)$	0,4mA	0,4mA	2mA	400mA	1,0mA	0,4mA	0,4mA	24mA	8mA
$I_{OL}(máx)$	16mA	8mA	20mA	8mA	20mA	0,4mA	0,4mA	24mA	8mA

Tabela 9: Correntes de entrada e saída para dispositivos TTL e CMOS operando com 5V.

## 10.4 Interfacenado dispositivos TTL e CMOS

A interligação de pastilhas TTL e CMOS deve respeitar os parâmetros de tensão e correntes estipulados para cada uma das famílias sob pena de mau funcionamento do circuito. Dois itens devem ser levados em conta: as tensões relacionadas com os níveis lógicos e as correntes de carregamento envolvidas entre as portas.

Uma rápida olhada na tabela 9 indica que os valores de corrente para CIs CMOS são extremamente baixos comparados com as correntes de CIs TTL. Um CI TTL não tem nenhum problema para satisfazer os requisitos de correntes de entrada de pastilhas CMOS. Eventualmente (dependendo da série), o contrário não é verdadeiro (CMOS alimentando TTL). Entretanto, sob condições de forte carregamento (maiores correntes de saída), as pastilhas TTL podem baixar a tensão de saída até valores que uma pastilha CMOS não reconhece mais como nível lógico alto – ver tabela 8.

## 10.5 TTL acionando CMOS

### a) Circuitos operando com a mesma tensão de alimentação:

A solução é empregar um **resistor de “pull-up”** para elevar a tensão de saída do dispositivo TTL – ver figura 14. Note que nos piores casos, quando um dispositivo TTL está muito próximo da sua capacidade máxima de fan-out, sua tensão de saída para nível lógico alto pode descer para valores abaixo do considerado como nível lógico alto para pastilhas CMOS.

**Exemplo:** uma pastilha TTL 74LS00 poderia estar alimentando 19 portas e mais uma porta 74HC08.

**Solução:**

Neste caso, percebe-se que não existe problemas relacionados com corrente:

$$\begin{aligned} I_{L,total} &= 19 \cdot I_{IL} \text{ para 74LS} + 1 \cdot I_I \text{ para 74HC} \\ &= 19 \cdot 0,4\text{mA} + 0,001\text{mA} \\ &= 7,6001\text{mA} \end{aligned}$$

que é menor que o  $I_{OL}(máx) = 8 \text{ mA}$  que a porta TTL consegue drenar. Percebe-se aqui que o problema não está relacionado com as correntes envolvidas no circuito.

Mas nestes casos, de forte carregamento na saída de uma porta TTL, sua tensão costuma baixar até valores bem próximos de  $V_{OH}(min) = 2,7 \text{ V}$ . Percebe-se então que este valor é menor que o exigido pela pastilha CMOS para reconhecer este sinal como nível lógico alto ( $V_{IH}(min) = 3,5 \text{ V}$ ).

**Conclusão:** neste caso é altamente recomendável o uso do resistor de “pull-up” principalmente para a pastilha CMOS.

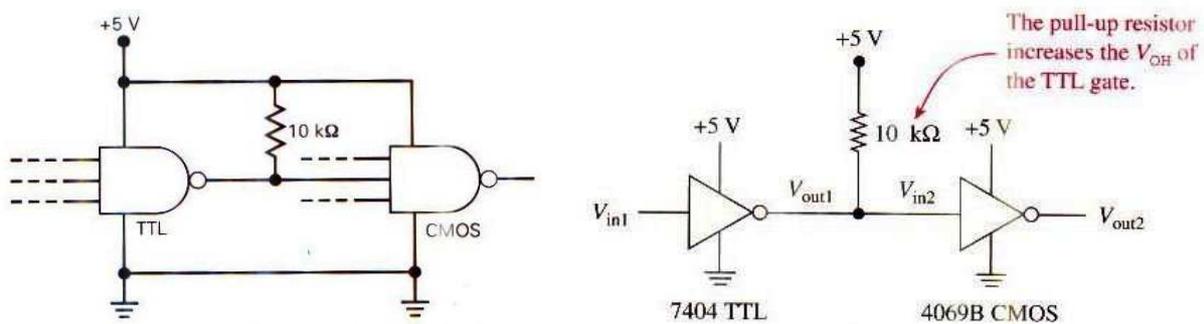


Figura 14: Uso dos resistores de “pull-up” de TTL para CMOS.

#### b) Circuitos operando com diferentes tensões de alimentação:

i) **Solução 1:** usando resistor de “pull-up”. Se as pastilhas CMOS estiverem operando com  $V_{DD} > 5 \text{ V}$ , a situação se torna um pouco mais difícil. Por exemplo, com  $V_{DD} = 10 \text{ V}$ , uma entrada CMOS requer  $V_{IH}(min) = 7 \text{ V}$ . As saídas de dispositivos TTL não podem operar com mais do que  $5 \text{ V}$ , portanto, o resistor de “pull-up” se faz necessário para aumentar a tensão entre a saída da porta TTL e a entrada da porta CMOS. O resistor de  $10 \text{ K}\Omega$  fica conectado entre a saída da porta TTL e a tensão  $V_{DD}$  – ver figura 14. Entretanto, alguns fabricantes de CIs TTL já operam diretamente com *pull-ups* na sua saída, o que implica em uma consulta prévia aos dados do fabricante para estes casos.

ii) **Solução 2:** usando *buffers* de coletor aberto. A figura 15 mostra o circuito interno de uma das portas NAND do 7400. Já a figura 16 mostra a mesma porta NAND mas com a saída em coletor aberto. Percebe-se que não existe um estágio de saída com  $Q_3$  limitando a corrente de saída. Existe apenas o transistor  $Q_4$  no estágio de saída que exige o acréscimo de um resistor de *pull-up* para limitar a corrente de saída da porta NAND. Usualmente este resistor é de  $10 \text{ K}\Omega$ , suficientemente não tão pequeno de forma a limitar a corrente máxima de saída, nem tão grande de forma a aumentar demais a d.d.p. sobre  $Q_4$  quando no estado OFF. CIs do tipo *buffer* com saída em coletor aberto (CA) são normalmente disponibilizados para atender aos casos de cargas de saída que requerem maiores níveis de corrente como certos displays, relés e motores. Por exemplo, o CI 7407 (OC) pode drenar até  $40 \text{ mA}$  de corrente, carga maior que 2,5 vezes os  $16 \text{ mA}$  da capacidade padrão de uma porta inversora 7404.

Para interfaceamento entre CIs TTL e CMOS, *buffers* com coletor aberto são adotados nos casos em que não se podem usar um resistor de *pull-up* para  $V_{DD}$  na saída TTL. Uma solução comum é mostrada na figura 17, em que o *buffer* de coletor aberto, 7407, é usado com interface entre uma saída totem-pole TTL e CMOS operando com  $V_{DD} > 5 \text{ V}$ . O 7407 é um *buffer* não-inversor semelhante ao 7406 e tem como parâmetro de tensão de saída, até  $30 \text{ V}$ .

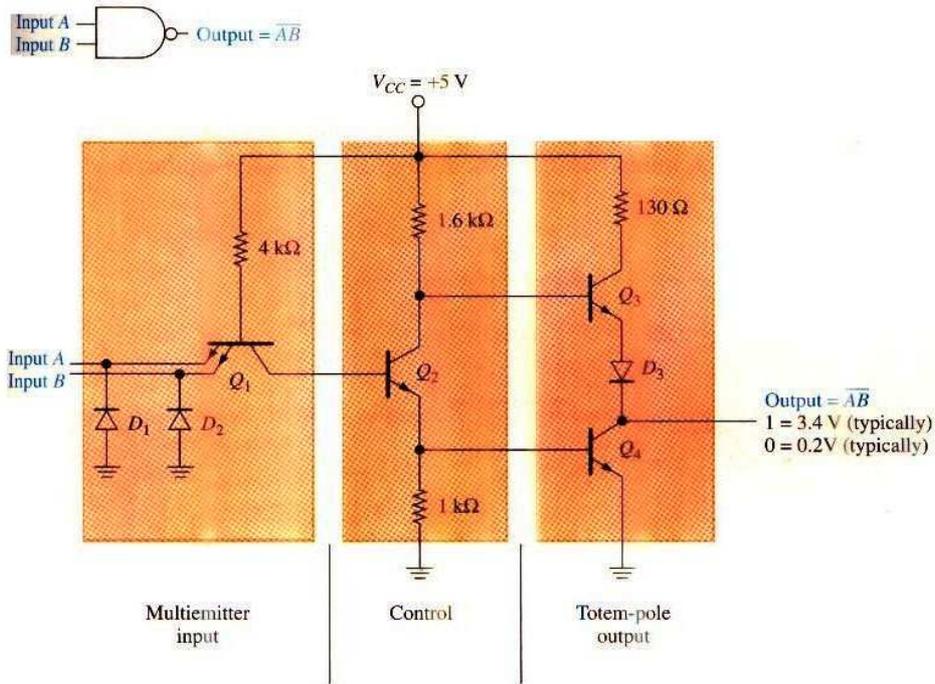


Figura 15: Circuito interno de uma das portas do 7400 (NAND(2)) sem coletor aberto.

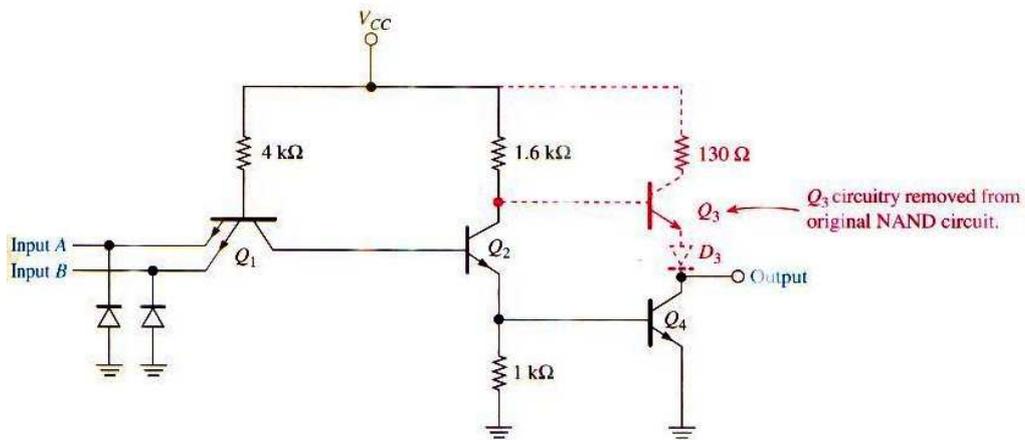


Figura 16: Porta NAND TTL com saída em coletor aberto.

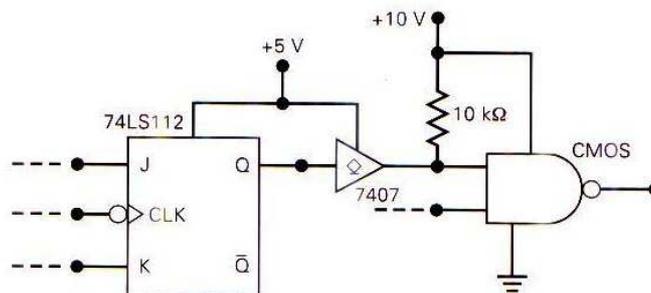


Figura 17: Uso de *buffer* de coletor aberto entre porta TTL e CMOS.

- iii) **Solução 3:** Outra solução é usar pastilhas conversoras de níveis de tensão com o 4504B – ver figura 18. Este CI CMOS foi projetado para receber tensões mais baixas de entrada (de um dispositivo TTL) e converte-la para tensão mais elevada de saída para CMOS.

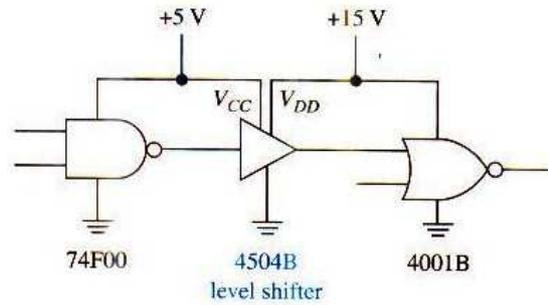


Figura 18: Conversor de nível de tensão de TTL 0-V/5-V para CMOS 0-V/15-V.

### 10.6 CMOS acionando TTL

a) **Circuitos operando com a mesma tensão de alimentação:**

Pela tabela 8 percebe-se que é fácil para um dispositivo CMOS manter suas tensões de saída dentro das faixas consideradas para os níveis lógicos das pastilhas TTL.

O problema aqui está relacionado com as correntes exigidas pelas pastilhas TTL principalmente no caso de nível lógico BAIXO. A solução para estes casos é o uso de um buffer com capacidade de drenar a corrente exigida para a pastilha TTL em questão. Uma solução pode ser adotar o 74LS125, um buffer de três estados não-inversor, permanentemente habilitado e que consegue ser sensibilizado pela pastilha CMOS – ver figura 19. Outra solução é adotar um *buffer* CMOS: o CI 4050B que é capaz de drenar a corrente necessária para 10 portas TTL da série 74LS – ver figura 20.

**Exemplo:** caso de saída de uma pastilha 74HC ligada na entrada de uma pastilha 74F.

**Detalhes:**

A pastilha 74F vai exigir, quando em nível lógico alto,  $I_{IH}(máx) = 20 \mu A$  e a pastilha 74HC vai conseguir fornecer até  $I_{OH}(máx) = 400 \mu A$ . O problema acontece quando o nível lógico for baixo: a pastilha 74F vai exigir  $I_{IL}(máx) = 0,6 \text{ mA}$ , mas a pastilha 74HC vai poder fornecer no máximo  $I_{OL}(máx) = 0,4 \text{ mA}$ .

**Solução:** Uso de um *buffer* para drenar a corrente necessária para sensibilizar a pastilha TTL – ver figura 19.

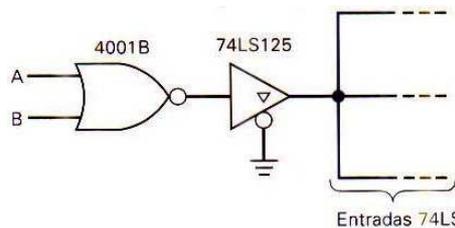


Figura 19: Uso de *buffer* de corrente de pastilhas CMOS para TTL.

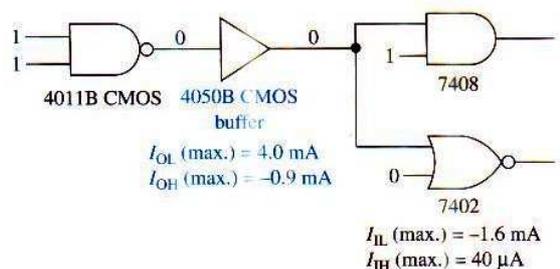


Figura 20: Uso de *buffer* CMOS de porta CMOS para TTL.

**b) Circuitos operando com diferentes tensões de alimentação:**

Para estes casos, além do problema da corrente, existe um problema de incompatibilidade nas faixas de tensões envolvidas entre as duas pastilhas. A saída da pastilha CMOS não vai poder ser conectada diretamente na pastilha TTL sob pena de danificar a pastilha TTL por sobretensão na sua entrada.

Uma solução é adotar CIs conversores de níveis entre as pastilhas CMOS e TTL tal como mostra a figura 21. Nesta figura, o CI 4050B

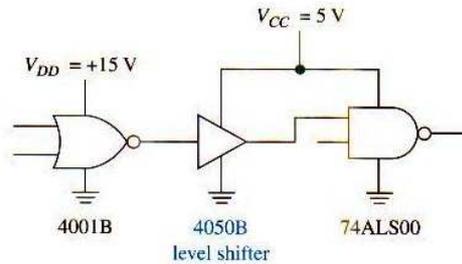


Figura 21: Uso de CI conversor de níveis de tensão de CMOS para TTL.

---

## Referências

- [1] Tocci, Ronald J., Widmer, Neal S. SISTEMAS DIGITAIS: PRINCÍPIOS E APLICAÇÕES, 8 ed. São Paulo: Prentice Hall, 2003.
- [2] Kleitz, William. DIGITAL ELECTRONICS: A PRACTICAL APPROACH, 7 ed. – Pearson Prentice Hall, 2005.